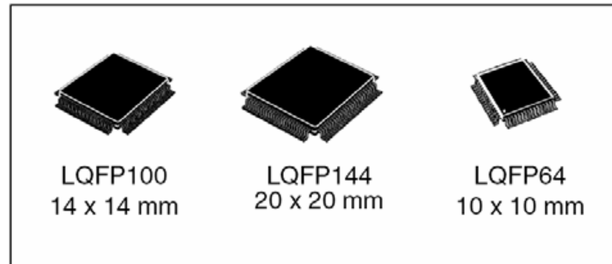


STM32F101xC STM32F101xD STM32F101xE

大容量基本型，32位基于ARM核心的带256~512K字节闪存的微控制器 9个定时器、1个ADC 、10个通信接口

功能

- 内核：**ARM 32位的Cortex™-M3 CPU**
  - 最高36MHz工作频率，在存储器的0等待周期访问时可达1.25DMips/MHz(Dhrystone 2.1)
  - 单周期乘法和硬件除法
- 存储器
  - 从256K至512K字节的闪存程序存储器
  - 高达48K字节的SRAM
  - 带4个片选的静态存储器控制器。支持CF卡、SRAM、PSRAM、NOR和NAND存储器
  - 并行LCD接口，兼容8080/6800模式
- 时钟、复位和电源管理
  - 2.0～3.6伏供电和I/O引脚
  - 上电/断电复位(POR/PDR)、可编程电压监测器(PVD)
  - 4～16MHz晶体振荡器
  - 内嵌经出厂调校的8MHz的RC振荡器
  - 内嵌带校准的40kHz的RC振荡器
  - 带校准功能的32kHz RTC振荡器
- 低功耗
  - 睡眠、停机和待机模式
  - V_{BAT}为RTC和后备寄存器供电
- **1个12位模数转换器，1μs转换时间(多达16个输入通道)**
  - 转换范围：0至3.6V
  - 温度传感器
- **2 通道 12 位 D/A 转换器**
- **DMA：**
  - 12通道DMA控制器
  - 支持的外设：定时器、ADC、DAC、I^2S、SPI、I^2C和USART
- 调试模式
  - 串行单线调试(SWD)和JTAG接口
  - Cortex-M3内嵌跟踪模块(ETM)



- 多达**112**个快速**I/O**端口
  - 51/80/112个多功能双向的I/O口，所有I/O口可以映像到16个外部中断；几乎所有端口均可容忍5V信号
- 多达**9**个定时器
  - 多达4个16位定时器，每个定时器有多达4个用于输入捕获/输出比较/PWM或脉冲计数的通道
  - 2个看门狗定时器(独立的和窗口型的)
  - 系统时间定时器：24位自减型计数器
  - 2个16位基本定时器用于驱动DAC
- 多达**10**个通信接口
  - 多达2个I^2C接口(支持SMBus/PMBus)
  - 多达5个USART接口(支持ISO7816，LIN，IrDA接口和调制解调控制)
  - 多达3个SPI接口(18M位/秒)
- **CRC**计算单元，**96**位的芯片唯一代码
- **ECOPACK®**封装

表1　器件列表

参 考	基本型号
STM32F101xC	STM32F101RC、STM32F101VC、STM32F101ZC
STM32F101xD	STM32F101RD、STM32F101VD、STM32F101ZD
STM32F101xE	STM32F101RE、STM32F101ZE、STM32F101VE

本文档英文原文下载地址：http://www.st.com/stonline/products/literature/ds/14610.pdf

目录

1 介绍

本文给出了STM32F101xC、STM32F101xD和STM32F101xE大容量基本型产品的订购信息和器件的机械特性。有关完整的STM32F101xx系列的详细信息，请参考第2.2节。

大容量STM32F101xx数据手册，必须结合STM32F10xxx参考手册一起阅读。

有关内部闪存存储器的编程、擦除和保护等信息，请参考《STM32F10xxx闪存编程参考手册》。

参考手册和闪存编程参考手册均可在ST网站下载：www.st.com/mcu

有关Cortex™-M3核心的相关信息，请参考《Cortex-M3技术参考手册》，可以在ARM公司的网站下载：http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0337e/。



2 规格说明

STM32F101xC、STM32F101xD和STM32F101xE基本型系列使用高性能的ARM® Cortex™-M3 32位的RISC内核，工作频率为36MHz，内置高速存储器(高达512K字节的闪存和48K字节的SRAM)，丰富的增强I/O端口和联接到两条APB总线的外设。所有型号的器件都包含1个12位的ADC、4个通用16位定时器，还包含标准和先进的通信接口：多达2个I^{2}C接口、3个SPI接口、和5个USART接口。

STM32F101xx大容量基本型系列工作于-40°C至+85°C的温度范围，供电电压2.0V至3.6V，一系列的省电模式保证低功耗应用的要求。

STM32F101xx大容量基本型系列产品提供包括从64脚至144脚的3种不同封装形式；根据不同的封装形式，器件中的外设配置不尽相同。下面给出了该系列产品中所有外设的基本介绍。

这些丰富的外设配置，使得STM32F101xx大容量基本型系列微控制器适合于多种应用场合：

- 医疗和手持设备
- PC游戏外设和GPS平台
- 工业应用：可编程控制器(PLC)、打印机和扫描仪
- 警报系统、视频对讲等

图1给出了该产品系列的框图。

2.1 器件一览

表2 STM32F101xC、STM32F101xD和STM32F101xE器件功能和配置

外设		STM32F101Rx			STM32F101Vx			STM32F101Zx		
闪存(K字节)		256	384	512	256	384	512	256	384	512
SRAM(K字节)		32	48		32	48		32	48	
FSMC(静态存储器控制器)		无			有(1)			有		
定时器	通用	4个(TIM2、TIM3、TIM4、TIM5)								
	基本	2个(TIM6、TIM7)								
通信接口	SPI	3个(SPI1、SPI2、SPI3)								
	I^{2}C	2个(I^{2}C1、I^{2}C2)								
	USART/UART	5个(USART1、USART2、USART3、UART4、UART5)								
GPIO端口		51			80			112		
12位ADC模块(通道数)		1(16)			1(16)			1(16)		
12位DAC转换器(通道数)		1(2)								
CPU频率		36MHz								
工作电压		2.0~3.6V								
工作温度		环境温度：-40℃~+85℃(见表10) 结温度：-40℃~+105℃(见表10)								
封装形式		LQFP64			LQFP100			LQFP144		

1. 对于LQFP100封装，只有FSMC的Bank1和Bank2可以使用。Bank1只能使用NE1片选支持多路复用NOR/PSRAM存储器，Bank2只能使用NCE2片选支持一个16位或8位的NAND闪存存储器。因为没有端口G，不能使用FSMC的中断功能。

2.2 系列之间的全兼容性

STM32F101xx是一个完整的系列，其成员之间是完全地脚对脚兼容，软件和功能上也兼容。在参考手册中，STM32F101x4和STM32F101x6被归为小容量产品，STM32F101x8和STM32F101xB被归为中等容量产品，STM32F101xC、STM32F101xD和STM32F101xE被归为大容量产品。

小容量和大容量产品是中等容量产品(STM32F101x8/B)的延伸，分别在对应的数据手册中介绍：STM32F101x4/6数据手册和STM32F101xC/D/E数据手册。

小容量产品具有较小的闪存存储器、RAM空间和较少的定时器和外设。大容量的产品则具有较大的闪存存储器、RAM空间和更多的片上外设，如FSMC和DAC等，同时保持与其它同系列的产品兼容。

STM32F101x4、STM32F101x6、 STM32F101xC、STM32F101xD和STM32F101xE可直接替换中等容量的STM32F101x8/B产品，为用户在产品开发中尝试使用不同的存储容量提供了更大的自由度。

另外，STM32F101xx基本型产品与全部已有的STM32F103xx增强型产品和STM32F102xx USB基本型产品兼容。

表3　STM32F101xx系列

<table>
<tr><th rowspan="3">引脚数目</th><th colspan="2">小容量产品</th><th colspan="2">中等容量产品</th><th colspan="3">大容量产品</th></tr>
<tr><th>16K闪存</th><th>32K闪存[1]</th><th>64K闪存</th><th>128K闪存</th><th>256K闪存</th><th>384K闪存</th><th>512K闪存</th></tr>
<tr><th>4K RAM</th><th>6K RAM</th><th>10K RAM</th><th>16K RAM</th><th>32K RAM</th><th>48K RAM</th><th>48K RAM</th></tr>
<tr><td>144</td><td></td><td></td><td></td><td></td><td colspan="3" rowspan="3">3个USART + 2个UART
4个16位定时器、2个基本定时器
3个SPI、2个I^{2}C、1个ADC、1个DAC
FSMC(100和144脚封装)</td></tr>
<tr><td>100</td><td></td><td></td><td colspan="2" rowspan="3">3个USART
3个16位定时器
2个SPI、2个I^{2}C1个ADC</td></tr>
<tr><td>64</td><td colspan="2" rowspan="3">2个USART
2个16位定时器
1个SPI、1个I^{2}C
1个ADC</td></tr>
<tr><td>48</td><td></td><td></td><td></td></tr>
<tr><td>36</td><td></td><td></td><td></td><td></td><td></td></tr>
</table>

1. 对于订购代码的温度尾缀6之后没有代码A的产品，其对应的电气参数部分，请参考STM32F101x8/B中等容量产品数据手册。

2.3　概述

2.3.1　ARM®的Cortex™-M3核心并内嵌闪存和SRAM

ARM的Cortex™-M3处理器是最新一代的嵌入式ARM处理器，它为实现MCU的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM的Cortex™-M3是32位的RISC处理器，提供额外的代码效率，在通常8和16位系统的存储空间上发挥了ARM内核的高性能。

STM32F101xC、STM32F101xD和STM32F101xE基本型系列拥有内置的ARM核心，因此它与所有的ARM工具和软件兼容。

图1是该系列产品的功能框图。

2.3.2　内置闪存存储器

256~512K字节的内置闪存存储器，用于存放程序和数据。

2.3.3　CRC(循环冗余校验)计算单元

CRC(循环冗余校验)计算单元使用一个固定的多项式发生器，从一个32位的数据字产生一个CRC码。在众多的应用中，基于CRC的技术被用于验证数据传输或存储的一致性。在EN/IEC 60335-1标准的范围内，它提供了一种检测闪存存储器一致性的手段，CRC计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

2.3.4　内置SRAM

多达48K字节的内置SRAM，CPU能以0等待周期访问(读/写)。

2.3.5　FSMC(可配置的静态存储器控制器)

STM32F101xC、STM32F101xD和STM32F101xE基本型系列集成了FSMC模块。它具有4个片选输出，支持PC卡/CF卡、SRAM、PSRAM、NOR和NAND。

功能介绍：

- 三个FSMC中断源，经过逻辑或连到NVIC单元；
- 没有读FIFO；
- 代码可以在除NAND闪存和PC卡外的片外存储器运行；
- 不能从FSMC启动；
- 目标频率f_{CLK}为HCLK/2，即当HCLK时钟为36MHz时，外部访问是基于18MHz时钟。

2.3.6 LCD并行接口

FSMC可以配置成与多数图形LCD控制器的无缝连接，它支持Intel 8080和Motorola 6800的模式，并能够灵活地与特定的LCD接口。使用这个LCD并行接口可以很方便地构建简易的图形应用环境，或使用专用加速控制器的高性能方案。

2.3.7 嵌套的向量式中断控制器(NVIC)

STM32F101xC、STM32F101xD和STM32F101xE基本型产品内置嵌套的向量式中断控制器，能够处理多达60个可屏蔽中断通道(不包括16个Cortex™-M3的中断线)和16个优先级。

- 紧耦合的NVIC能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的NVIC接口
- 允许中断的早期处理
- 处理*晚到的*较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.3.8 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含19个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI可以检测到脉冲宽度小于内部APB2的时钟周期。多达112个通用I/O口连接到16个外部中断线。

2.3.9 时钟和启动

系统时钟的选择是在启动时进行，复位时内部8MHz的RC振荡器被选为默认的CPU时钟，随后可以选择外部的、具失效监控的4~16MHz时钟；当检测到外部时钟失效时，它将被隔离，系统自动地切换到内部的RC振荡器，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对PLL时钟完全的中断管理(如当一个间接使用的外部振荡器失效时)。

多个预分频器用于配置AHB的频率、高速APB(APB2)和低速APB(APB1)区域。AHB和APB的最高频率是36MHz。参考图2的时钟驱动框图。

2.3.10 自举模式

在启动时，通过自举引脚可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部SRAM自举

自举加载程序(Bootloader)存放于系统存储器中，可以通过USART1对闪存重新编程。

2.3.11 供电方案

- V_{DD} = 2.0～3.6V：V_{DD}引脚为I/O引脚和内部调压器供电。
- V_{SSA}，V_{DDA} = 2.0～3.6V：为ADC、复位模块、RC振荡器和PLL的模拟部分提供供电。使用ADC时，V_{DDA}不得小于2.4V。V_{DDA}和V_{SSA}必须分别连接到V_{DD}和V_{SS}。

- V_{BAT} = 1.8～3.6V：当关闭V_{DD}时，(通过内部电源切换器)为RTC、外部32kHz振荡器和后备寄存器供电。

关于如何连接电源引脚的详细信息，参见图9供电方案。

2.3.12 供电监控器

本产品内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统在供电超过2V时工作；当V_{DD}低于设定的阀值($V_{POR/PDR}$)时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器(PVD)，它监视V_{DD}/V_{DDA}供电并与阀值V_{PVD}比较，当V_{DD}低于或高于阀值V_{PVD}时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD功能需要通过程序开启。关于$V_{POR/PDR}$和V_{PVD}的值参考表12。

2.3.13 电压调压器

调压器有三个操作模式：主模式(MR)、低功耗模式(LPR)和关断模式

- 主模式(MR)用于正常的运行操作
- 低功耗模式(LPR)用于CPU的停机模式
- 关断模式用于CPU的待机模式：调压器的输出为高阻状态，内核电路的供电切断，调压器处于零消耗状态(但寄存器和SRAM的内容将丢失)

该调压器在复位后始终处于工作状态，在待机模式下关闭处于高阻输出。

2.3.14 低功耗模式

STM32F101xC、STM32F101xD和STM32F101xE基本型产品支持三种低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

- 睡眠模式
  在睡眠模式，只有CPU停止，所有外设处于工作状态并可在发生中断/事件时唤醒CPU。
- 停机模式
  在保持SRAM和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，停止所有内部1.8V部分的供电，PLL、HSI的RC振荡器和HSE晶体振荡器被关闭，调压器可以被置于普通模式或低功耗模式。
  可以通过任一配置成EXTI的信号把微控制器从停机模式中唤醒，EXTI信号可以是16个外部I/O口之一、PVD的输出或RTC闹钟。
- 待机模式
  在待机模式下可以达到最低的电能消耗。内部的电压调压器被关闭，因此所有内部1.8V部分的供电被切断；PLL、HSI的RC振荡器和HSE晶体振荡器也被关闭；进入待机模式后，SRAM和寄存器的内容将消失，但后备寄存器的内容仍然保留，待机电路仍工作。
  从待机模式退出的条件是：NRST上的外部复位信号、IWDG复位、WKUP引脚上的一个上升边沿或RTC的闹钟到时。

注： 在进入停机或待机模式时，RTC、IWDG和对应的时钟不会被停止。

2.3.15 DMA

灵活的12路通用DMA(DMA1上有7个通道，DMA2上有5个通道)可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输.

2个DMA控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件DMA请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA可以用于主要的外设：SPI、I^2C、USART，通用和基本定时器TIMx，DAC和ADC。

2.3.16 RTC(实时时钟)和后备寄存器

RTC和后备寄存器通过一个开关供电，在V_{DD}有效时该开关选择V_{DD}供电，否则由V_{BAT}引脚供电。后备寄存器(42个16位的寄存器)可以用于在关闭V_{DD}时，保存84个字节的用户应用数据。RTC和后备寄存器不会被系统或电源复位源复位；当从待机模式唤醒时，也不会被复位。

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历时钟功能，还具有闹钟中断和阶段性中断功能。RTC的驱动时钟可以是一个使用外部晶体的32.768kHz的振荡器、内部低功耗RC振荡器或高速的外部时钟经128分频。内部低功耗RC振荡器的典型频率为40kHz。为补偿天然晶体的偏差，可以通过输出一个512Hz的信号对RTC的时钟进行校准。RTC具有一个32位的可编程计数器，使用比较寄存器可以进行长时间的测量。有一个20位的预分频器用于时基时钟，默认情况下时钟为32.768kHz时，它将产生一个1秒长的时间基准。

2.3.17 定时器和看门狗

大容量的STM32F101xx基本型系列产品包含最多4个普通定时器和2个基本定时器，以及2个看门狗定时器和1个系统嘀嗒定时器。

下表比较了普通定时器和基本定时器的功能：

表4　定时器功能比较

定时器	计数器分辩率	计数器类型	预分频系数	产生DMA请求	捕获/比较通道	互补输出
TIM2 TIM3 TIM4 TIM5	16位	向上，向下，向上/下	1~65536之间的任意整数	可以	4	没有
TIM6 TIM7	16位	向上	1~65536之间的任意整数	可以	0	没有

通用定时器(TIMx)

STM32F101xC、STM32F101xD和STM32F101xE基本型系列产品中，内置了多达4个可同步运行的标准定时器(TIM2、TIM3、TIM4和TIM5)。每个定时器都有一个16位的自动加载递加/递减计数器、一个16位的预分频器和4个独立的通道，每个通道都可用于输入捕获、输出比较、PWM和单脉冲模式输出，在最大的封装配置中可提供最多16个输入捕获、输出比较或PWM通道。

它们还能通过定时器链接功能与其它定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一标准定时器都能用于产生PWM输出。每个定时器都有独立的DMA请求机制。

这些定时器还能够处理增量编码器的信号，也能处理1至3个霍尔传感器的数字输出。

基本定时器-TIM6和TIM7

这2个定时器主要是用于产生DAC触发信号，也可当成通用的16位时基计数器。

独立看门狗

独立的看门狗是基于一个12位的递减计数器和一个8位的预分频器，它由一个内部独立的40kHz的RC振荡器提供时钟；因为这个RC振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

窗口看门狗

窗口看门狗内有一个7位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统时基定时器

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24位的递减计数器
- 自动重加载功能
- 当计数器为0时能产生一个可屏蔽系统中断
- 可编程时钟源

2.3.18 I^{2}C总线

多达2个I^{2}C总线接口，能够工作于多主模式或从模式，支持标准和快速模式。

I^{2}C接口支持7位或10位寻址，7位从模式时支持双从地址寻址。内置了硬件CRC发生器/校验器。

它们可以使用DMA操作并支持SMBus总线2.0版/PMBus总线。

2.3.19 通用同步/异步收发器(USART)

STM32F101xC、STM32F101xD和STM32F101xE基本型系列产品中，内置了3个通用同步/异步收发器(USART1、USART2和USART3)，和2个通用异步收发器(UART4和UART5)。

这5个接口提供异步通信、支持IrDA SIR ENDEC传输编解码、多处理器通信模式、单线半双工通信模式和LIN主/从功能。每个接口的通信速率可达2.25兆位/秒。

USART1、USART2和USART3接口具有硬件的CTS和RTS信号管理、兼容ISO7816的智能卡模式和类SPI通信模式，除了UART5之外所有其他接口都可以使用DMA操作。

2.3.20 串行外设接口(SPI)

多达3个SPI接口，在从或主模式下，全双工和半双工的通信速率可达18兆位/秒。3位的预分频器可产生8种主模式频率，可配置成每帧8位或16位。硬件的CRC产生/校验支持基本的SD卡和MMC模式。

所有的SPI接口都可以使用DMA操作。

2.3.21 通用输入输出接口(GPIO)

每个GPIO引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上拉或下拉)或复用的外设功能端口。多数GPIO引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口，所有的GPIO引脚都有大电流通过能力。

在需要的情况下，I/O引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入I/O寄存器。

2.3.22 ADC(模拟/数字转换器)

STM32F101xC、STM32F101xD和STM32F101xE基本型产品，内嵌了1个12位的模拟/数字转换器(ADC)，共用多达16个外部通道，可以实现单次或扫描转换。在扫描模式下，自动进行在选定的一组模拟输入上的转换。

ADC可以使用DMA操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阀值时，将产生中断。

由标准定时器(TIMx)产生的事件，可以从内部级联到ADC的开始触发和注入触发，应用程序能使AD转换与时钟同步。

2.3.23 DAC(数字至模拟信号转换器)

两个12位带缓冲的DAC通道可以用于转换2路数字信号成为2路模拟电压信号并输出。这项功能内部是通过集成的电阻串和反向的放大器实现。

这个双数字接口支持下述功能：

- 两个DAC转换器：各有一个输出通道
- 8位或12位单调输出
- 12位模式下的左右数据对齐
- 同步更新功能
- 产生噪声波
- 产生三角波
- 双DAC通道独立或同步转换
- 每个通道都可使用DMA功能
- 外部触发进行转换
- 输入参考电压 V_{REF+}

STM32F101xC、STM32F101xD和STM32F101xE基本型产品中有7个触发DAC转换的输入。DAC通道可以由定时器的更新输出触发，更新输出也可连接到不同的DMA通道。

2.3.24 温度传感器

温度传感器产生一个随温度线性变化的电压，转换范围在2V < V_{DDA} < 3.6V之间。温度传感器在内部被连接到ADC1_IN16的输入通道上，用于将传感器的输出转换到数字数值。

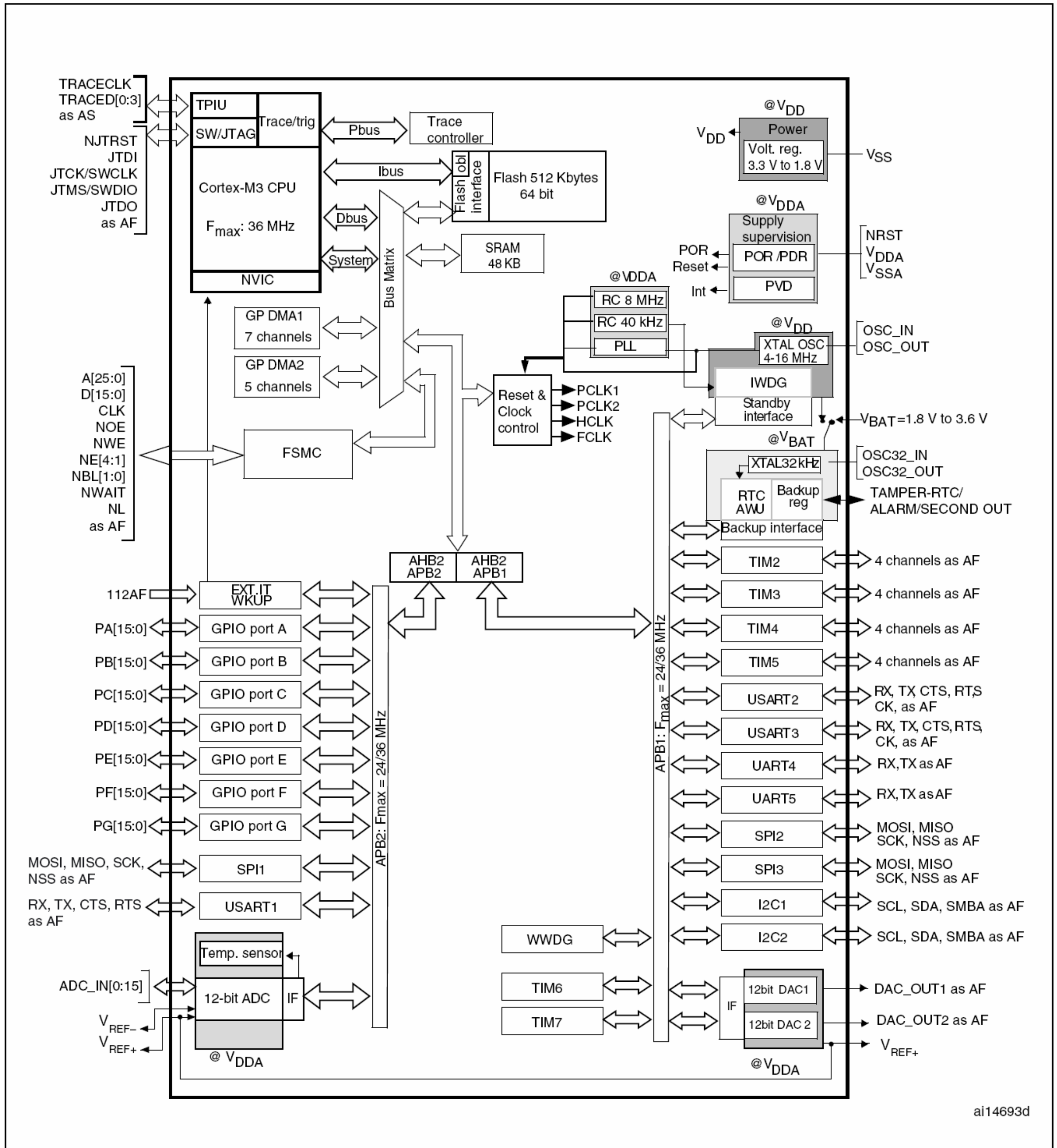
2.3.25 串行单线JTAG调试口(SWJ-DP)

内嵌ARM的SWJ-DP接口，这是一个结合了JTAG和串行单线调试的接口，可以实现串行单线调试接口或JTAG接口的连接。JTAG的TMS和TCK信号分别与SWDIO和SWCLK共用引脚，TMS脚上的一个特殊的信号序列用于在JTAG-DP和SW-DP间切换。

2.3.26 内嵌跟踪模块(ETM)

使用ARM®的嵌入式跟踪微单元(ETM)，STM32F10xxx通过很少的ETM引脚连接到外部跟踪端口分析(TPA)设备，从CPU核心中以高速输出压缩的数据流，为开发人员提供了清晰的指令运行与数据流动的信息。TPA设备可以通过USB、以太网或其它高速通道连接到调试主机，实时的指令和数据流向能够被调试主机上的调试软件记录下来，并按需要的格式显示出来。TPA硬件可以从开发工具供应商处购得，并能与第三方的调试软件兼容。

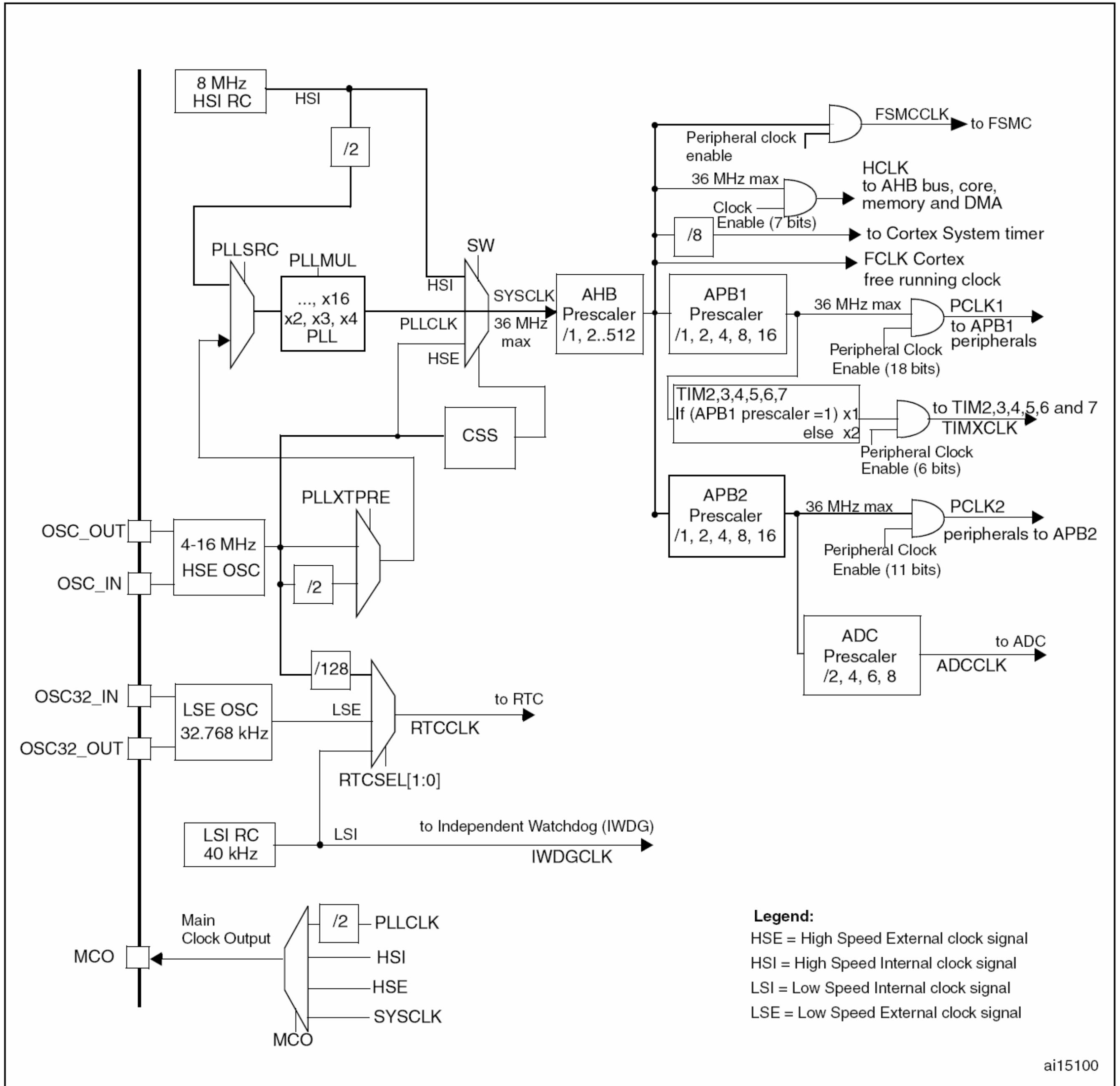
图1　　STM32F101xC、STM32F101xD和STM32F101xE基本型模块框图



1.　工作温度：-40°C~+85°C(结温达105°C)。

2.　AF：可作为外设功能脚的I/O端口

图2　　时钟树



1. 当HSI作为PLL时钟的输入时，最高的系统时钟频率能达到36MHz。
2. 当需要ADC采样时间为1μs时，APB2必须设置在14MHz或28MHz。

3 引脚定义

图3 STM32F101xC、STM32F101xD和STM32F101xE基本型LQFP144引脚分布

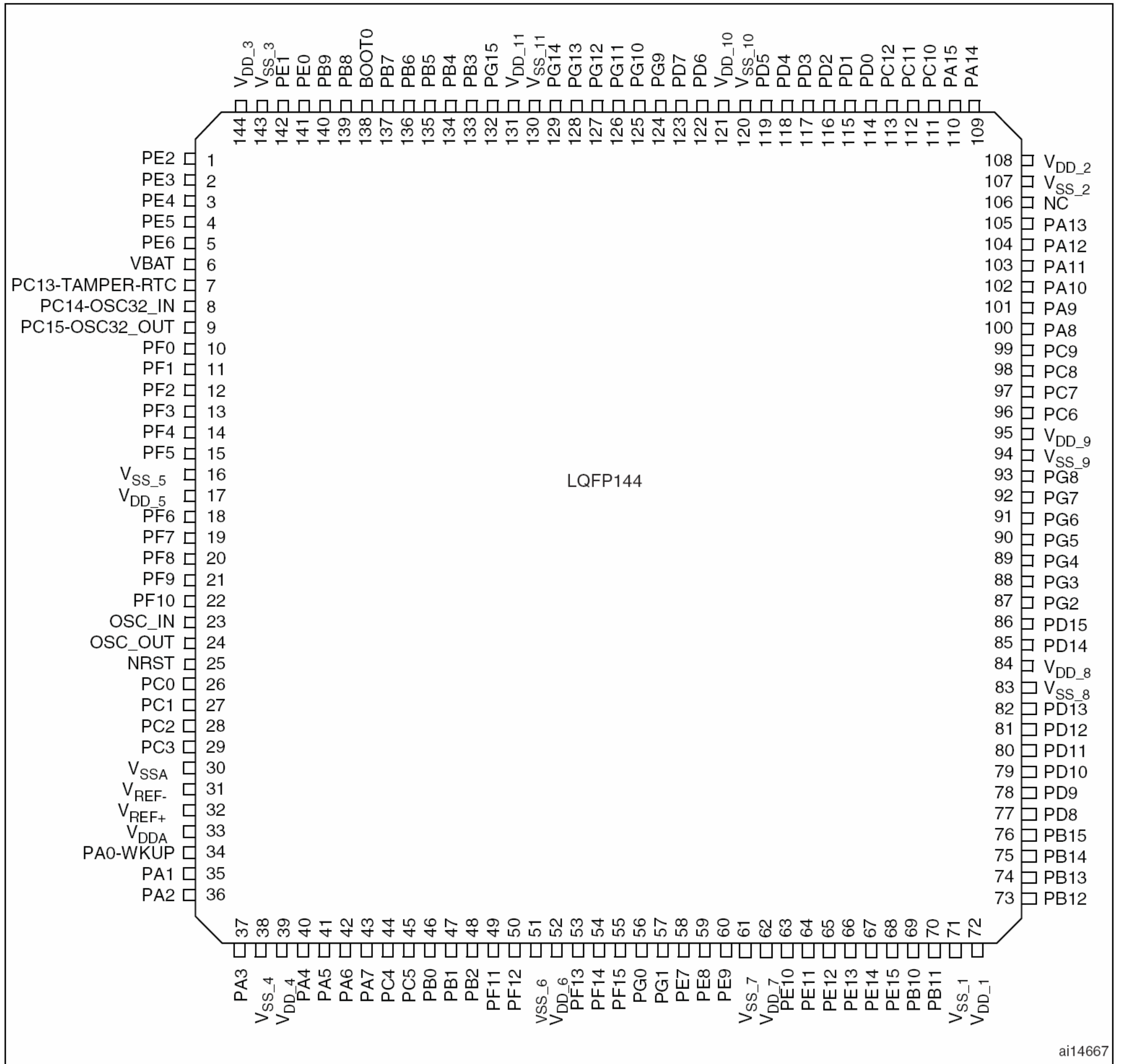


图4 STM32F101xC、STM32F101xD和STM32F101xE基本型LQFP100引脚分布

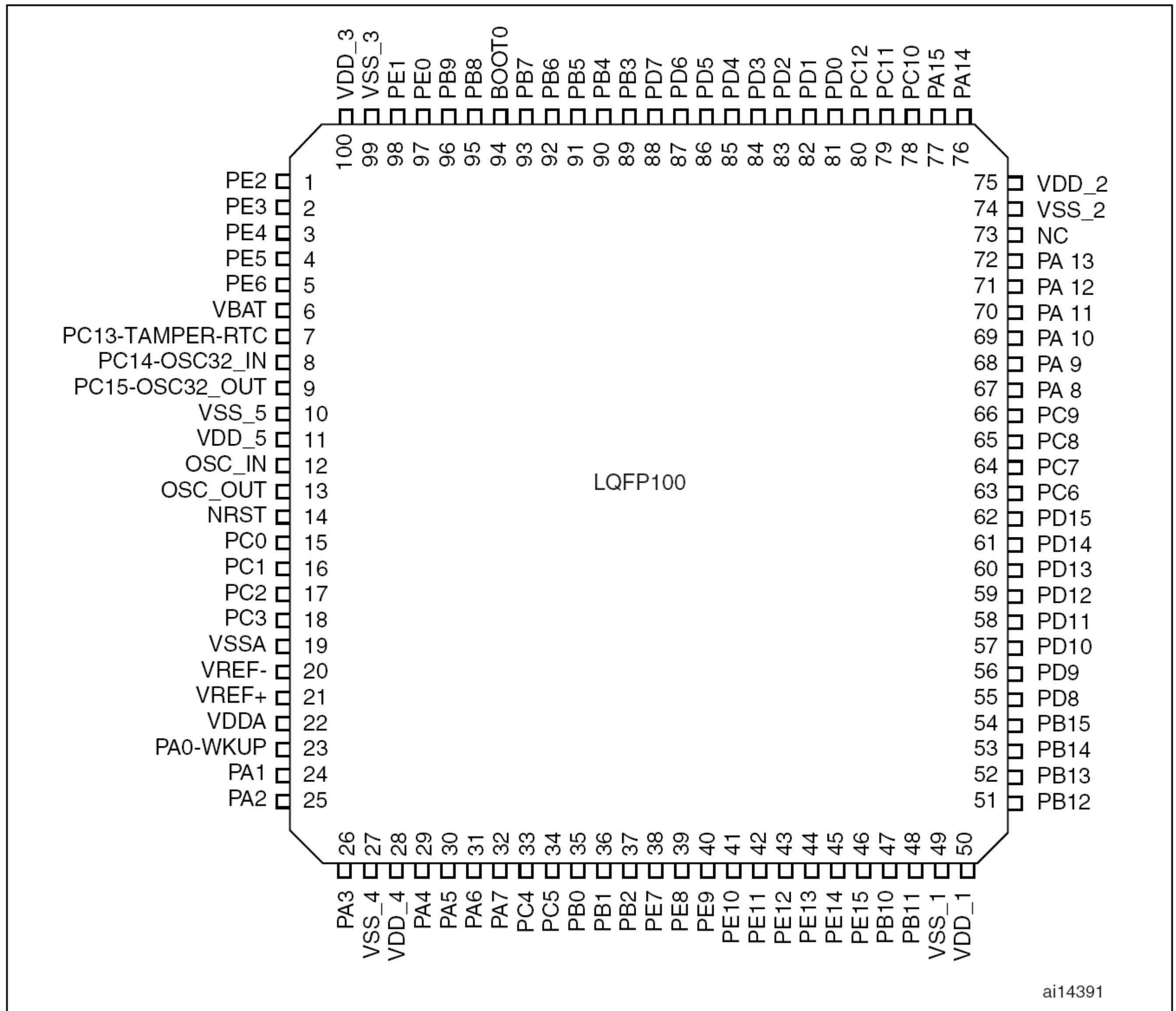


图5　STM32F101xC、STM32F101xD和STM32F101xE基本型LQFP64引脚分布

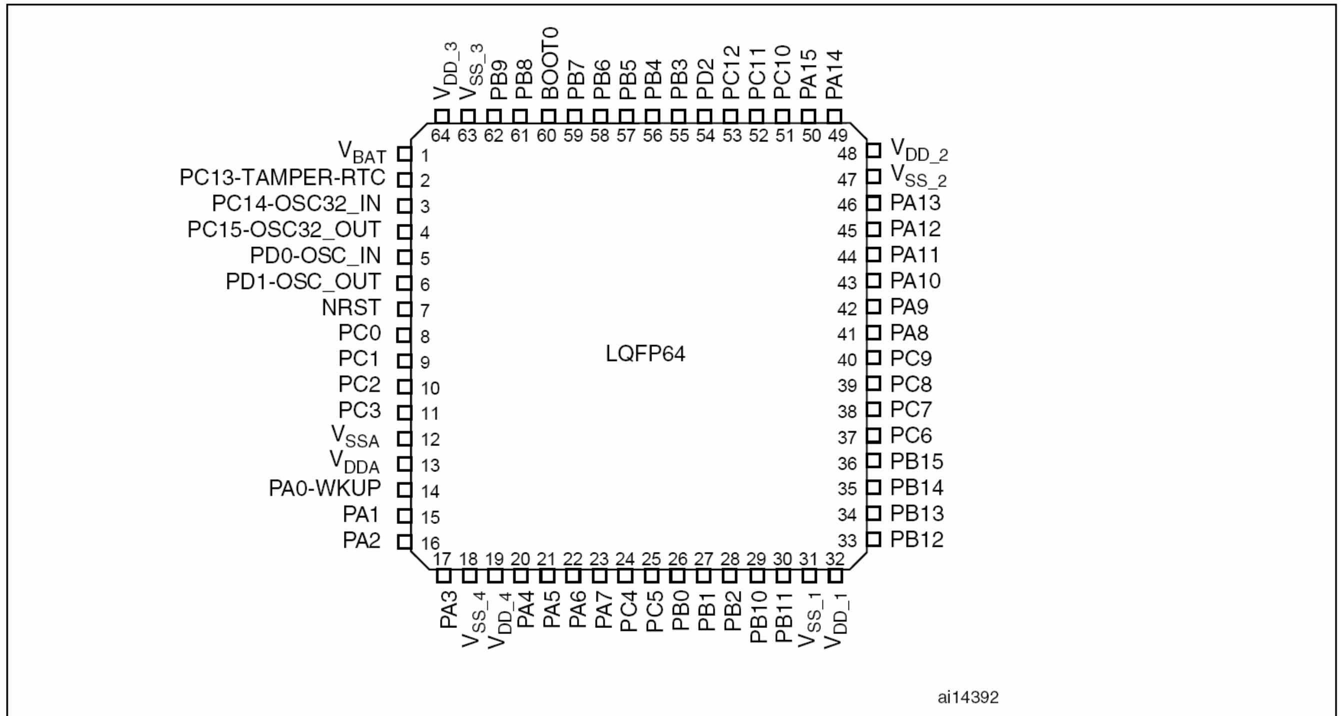


表5　大容量STM32F101xx引脚定义

引脚编号			引脚名称	类型(1)	I/O电平(2)	主功能(3)(复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144					默认复用功能	重定义功能
-	1	1	PE2	I/O	FT	PE2	TRACECK/FSMC_A23	
-	2	2	PE3	I/O	FT	PE3	TRACED0/FSMC_A19	
-	3	3	PE4	I/O	FT	PE4	TRACED1/FSMC_A20	
-	4	4	PE5	I/O	FT	PE5	TRACED2/FSMC_A21	
-	5	5	PE6	I/O	FT	PE6	TRACED3/FSMC_A22	
1	6	6	V_{BAT}	S		V_{BAT}		
2	7	7	PC13-TAMPER-RTC(4)	I/O		PC13(5)	TAMPER-RTC	
3	8	8	PC14-OSC32_IN(4)	I/O		PC14(5)	OSC32_IN	
4	9	9	PC15-OSC32_OUT(4)	I/O		PC15(5)	OSC32_OUT	
-	-	10	PF0	I/O	FT	PF0	FSMC_A0	
-	-	11	PF1	I/O	FT	PF1	FSMC_A1	
-	-	12	PF2	I/O	FT	PF2	FSMC_A2	
-	-	13	PF3	I/O	FT	PF3	FSMC_A3	
-	-	14	PF4	I/O	FT	PF4	FSMC_A4	
-	-	15	PF5	I/O	FT	PF5	FSMC_A5	
-	10	16	V_{SS_5}	S		V_{SS_5}		
-	11	17	V_{DD_5}	S		V_{DD_5}		
-	-	18	PF6	I/O		PF6	FSMC_NIORD	
-	-	19	PF7	I/O		PF7	FSMC_NREG	
-	-	20	PF8	I/O		PF8	FSMC_NIOWR	
-	-	21	PF9	I/O		PF9	FSMC_CD	
-	-	22	PF10	I/O		PF10	/FSMC_INTR	
5	12	23	OSC_IN	I		OSC_IN		
6	13	24	OSC_OUT	O		OSC_OUT		
7	14	25	NRST	I/O		NRST		
8	15	26	PC0	I/O		PC0	ADC_IN10	
9	16	27	PC1	I/O		PC1	ADC_IN11	
10	17	28	PC2	I/O		PC2	ADC_IN12	
11	18	29	PC3	I/O		PC3	ADC_IN13	
12	19	30	V_{SSA}	S		V_{SSA}		
-	20	31	V_{REF-}	S		V_{REF-}		

表5 大容量STM32F101xx引脚定义 (续1)

引脚编号			引脚名称	类型(1)	I/O电平(2)	主功能(3) (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144					默认复用功能	重定义功能
-	21	32	V_{REF+}	S		V_{REF+}		
13	22	33	V_{DDA}	S		V_{DDA}		
14	23	34	PA0-WKUP	I/O		PA0	WKUP/USART2_CTS(6) ADC_IN0/TIM5_CH1/ TIM2_CH1_ETR	
15	24	35	PA1	I/O		PA1	USART2_RTS(6) ADC_IN1/TIM5_CH2/ TIM2_CH2(6)	
16	25	36	PA2	I/O		PA2	USART2_TX(6)/TIM5_CH3 ADC_IN2/TIM2_CH3(6)	
17	26	37	PA3	I/O		PA3	USART2_RX(6)/TIM5_CH4 ADC_IN3/TIM2_CH4(6)	
18	27	38	V_{SS_4}	S		V_{SS_4}		
19	28	39	V_{DD_4}	S		V_{DD_4}		
20	29	40	PA4	I/O		PA4	SPI1_NSS/DAC_OUT1 ADC_IN4/USART2_CK(6)	
21	30	41	PA5	I/O		PA5	SPI1_SCK DAC_OUT2/ADC_IN5	
22	31	42	PA6	I/O		PA6	SPI1_MISO/ADC_IN6 TIM3_CH1(6)	
23	32	43	PA7	I/O		PA7	SPI1_MOSI/ADC_IN7 TIM3_CH2(6)	
24	33	44	PC4	I/O		PC4	ADC_IN14	
25	34	45	PC5	I/O		PC5	ADC_IN15	
26	35	46	PB0	I/O		PB0	ADC_IN8/TIM3_CH3(6)	
27	36	47	PB1	I/O		PB1	ADC_IN9/TIM3_CH4(6)	
28	37	48	PB2	I/O	FT	PB2/BOOT1		
-	-	49	PF11	I/O	FT	PF11	FSMC_NIOS16	
-	-	50	PF12	I/O	FT	PF12	FSMC_A6	
-	-	51	V_{SS_6}	S		V_{SS_6}		
-	-	52	V_{DD_6}	S		V_{DD_6}		
-	-	53	PF13	I/O	FT	PF13	FSMC_A7	
-	-	54	PF14	I/O	FT	PF14	FSMC_A8	

表5　大容量STM32F101xx引脚定义(续2)

引脚编号			管脚名称	类型[1]	I/O电平[2]	主功能[3] (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144					默认复用功能	重定义功能
-	-	55	PF15	I/O	FT	PF15	FSMC_A9	
-	-	56	PG0	I/O	FT	PG0	FSMC_A10	
-	-	57	PG1	I/O	FT	PG1	FSMC_A11	
-	38	58	PE7	I/O	FT	PE7	FSMC_D4	
-	39	59	PE8	I/O	FT	PE8	FSMC_D5	
-	40	60	PE9	I/O	FT	PE9	FSMC_D6	
-	-	61	V_{SS_7}	S		V_{SS_7}		
-	-	62	V_{DD_7}	S		V_{DD_7}		
-	41	63	PE10	I/O	FT	PE10	FSMC_D7	
-	42	64	PE11	I/O	FT	PE11	FSMC_D8	
-	43	65	PE12	I/O	FT	PE12	FSMC_D9	
-	44	66	PE13	I/O	FT	PE13	FSMC_D10	
-	45	67	PE14	I/O	FT	PE14	FSMC_D11	
-	46	68	PE15	I/O	FT	PE15	FSMC_D12	
29	47	69	PB10	I/O	FT	PB10	I2C2_SCL/USART3_TX[6]	TIM2_CH3
30	48	70	PB11	I/O	FT	PB11	I2C2_SDA/USART3_RX[6]	TIM2_CH4
31	49	71	V_{SS_1}	S		V_{SS_1}		
32	50	72	V_{DD_1}	S		V_{DD_1}		
33	51	73	PB12	I/O	FT	PB12	SPI2_NSS[6]/I2C2_SMBA /USART3_CK[6]	
34	52	74	PB13	I/O	FT	PB13	SPI2_SCK[6]/ USART3_CTS[6]	
35	53	75	PB14	I/O	FT	PB14	SPI2_MISO[6]/ USART3_RTS[6]	
36	54	76	PB15	I/O	FT	PB15	SPI2_MOSI[6]	
-	55	77	PD8	I/O	FT	PD8	FSMC_D13	USART3_TX
-	56	78	PD9	I/O	FT	PD9	FSMC_D14	USART3_RX
-	57	79	PD10	I/O	FT	PD10	FSMC_D15	USART3_CK
-	58	80	PD11	I/O	FT	PD11	FSMC_A16	USART3_CTS
-	59	81	PD12	I/O	FT	PD12	FSMC_A17	TIM4_CH1/ USART3_RTS
-	60	82	PD13	I/O	FT	PD13	FSMC_A18	TIM4_CH2
-	-	83	V_{SS_8}	S		V_{SS_8}		
-	-	84	V_{DD_8}	S		V_{DD_8}		

表5 大容量STM32F101xx引脚定义(续3)

引脚编号			管脚名称	类型(1)	I/O电平(2)	主功能(3)(复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144					默认复用功能	重定义功能
-	61	85	PD14	I/O	FT	PD14	FSMC_D0	TIM4_CH3
-	62	86	PD15	I/O	FT	PD15	FSMC_D1	TIM4_CH4
-	-	87	PG2	I/O	FT	PG2	FSMC_A12	
-	-	88	PG3	I/O	FT	PG3	FSMC_A13	
-	-	89	PG4	I/O	FT	PG4	FSMC_A14	
-	-	90	PG5	I/O	FT	PG5	FSMC_A15	
-	-	91	PG6	I/O	FT	PG6	FSMC_INT2	
-	-	92	PG7	I/O	FT	PG7	FSMC_INT3	
-	-	93	PG8	I/O	FT	PG8		
-	-	94	V_{SS_9}	S		V_{SS_9}		
-	-	95	V_{DD_9}	S		V_{DD_9}		
37	63	96	PC6	I/O	FT	PC6		TIM3_CH1
38	64	97	PC7	I/O	FT	PC7		TIM3_CH2
39	65	98	PC8	I/O	FT	PC8		TIM3_CH3
40	66	99	PC9	I/O	FT	PC9		TIM3_CH4
41	67	100	PA8	I/O	FT	PA8	USART1_CK/MCO	
42	68	101	PA9	I/O	FT	PA9	USART1_TX(6)	
43	69	102	PA10	I/O	FT	PA10	USART1_RX(6)	
44	70	103	PA11	I/O	FT	PA11	USART1_CTS	
45	71	104	PA12	I/O	FT	PA12	USART1_RTS	
46	72	105	PA13	I/O	FT	JTMS/SWDIO		PA13
-	73	106	未连接					
47	74	107	V_{SS_2}	S		V_{SS_2}		
48	75	108	V_{DD_2}	S		V_{DD_2}		
49	76	109	PA14	I/O	FT	JTCK/SWCLK		PA14
50	77	110	PA15	I/O	FT	JTDI	SPI3_NSS	TIM2_CH1_ETR PA15/SPI1_NSS
51	78	111	PC10	I/O	FT	PC10	USART4_TX	USART3_TX
52	79	112	PC11	I/O	FT	PC11	USART4_RX	USART3_RX
53	80	113	PC12	I/O	FT	PC12	USART5_TX	USART3_CK
5	81	114	PD0	I/O	FT	OSC_IN(7)	FSMC_D2(8)	
6	82	115	PD1	I/O	FT	OSC_OUT(7)	FSMC_D3(8)	

表5　大容量STM32F101xx引脚定义(续4)

引脚编号			引脚名称	类型(1)	I/O电平(2)	主功能(3)(复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144					默认复用功能	重定义功能
54	83	116	PD2	I/O	FT	PD2	TIM3_ETR/USART5_RX	
-	84	117	PD3	I/O	FT	PD3	FSMC_CLK	USART2_CTS
-	85	118	PD4	I/O	FT	PD4	FSMC_NOE	USART2_RTS
-	86	119	PD5	I/O	FT	PD5	FSMC_NWE	USART2_TX
-	-	120	V_{SS_10}	S		V_{SS_10}		
-	-	121	V_{DD_10}	S		V_{DD_10}		
-	87	122	PD6	I/O	FT	PD6	FSMC_NWAIT	USART2_RX
-	88	123	PD7	I/O	FT	PD7	FSMC_NE1/FSMC_NCE2	USART2_CK
-	-	124	PG9	I/O	FT	PG9	FSMC_NE2/FSMC_NCE3	
-	-	125	PG10	I/O	FT	PG10	FSMC_NE3/FSMC_NCE4_1	
-	-	126	PG11	I/O	FT	PG11	FSMC_NCE4_2	
-	-	127	PG12	I/O	FT	PG12	FSMC_NE4	
-	-	128	PG13	I/O	FT	PG13	FSMC_A24	
-	-	129	PG14	I/O	FT	PG14	FSMC_A25	
-	-	130	V_{SS_11}	S		V_{SS_11}		
-	-	131	V_{DD_11}	S		V_{DD_11}		
-	-	132	PG15	I/O	FT	PG15		
55	89	133	PB3	I/O	FT	JTDO	SPI3_SCK	TIM2_CH2/PB3/ TRACESWO/ SPI1_SCK
56	90	134	PB4	I/O	FT	NJTRST	SPI3_MISO	PB4/TIM3_CH1/ SPI1_MISO
57	91	135	PB5	I/O		PB5	I2C1_SMBA/ SPI3_MOSI	TIM3_CH2/ SPI1_MOSI
58	92	136	PB6	I/O	FT	PB6	I2C1_SCL(6)/TIM4_CH1(6)	USART1_TX
59	93	137	PB7	I/O	FT	PB7	I2C1_SDA(6)/FSMC_NADV TIM4_CH2(6)	USART1_RX
60	94	138	BOOT0	I		BOOT0		
61	95	139	PB8	I/O	FT	PB8	TIM4_CH3(6)	I2C1_SCL
62	96	140	PB9	I/O	FT	PB9	TIM4_CH4(6)	I2C1_SDA
-	97	141	PE0	I/O	FT	PE0	TIM4_ETR(6)/FSMC_NBL0	
-	98	142	PE1	I/O	FT	PE1	FSMC_NBL1	
63	99	143	V_{SS_3}	S		V_{SS_3}		
64	100	144	V_{DD_3}	S		V_{DD_3}		

1. I = 输入，O = 输出，S = 电源， HiZ = 高阻
2. FT：容忍5V
3. 有些功能仅在部分型号芯片中支持。
4. PC13，PC14和PC15引脚通过电源开关进行供电，而这个电源开关只能够吸收有限的电流(3mA)。因此这三个引脚作为输出引脚时有以下限制：在同一时间只有一个引脚能作为输出，作为输出脚时只能工作在2MHz模式下，最大驱动负载为30pF，并且不能作为电流源(如驱动LED)。
5. 这些引脚在备份区域第一次上电时处于主功能状态下，之后即使复位，这些引脚的状态由备份区域寄存器控制（这些寄存器不会被主复位系统所复位）。 关于如何控制这些IO口的具体信息，请参考STM32F10xxx参考手册的电池备份区域和BKP寄存器的相关章节。
6. 此类复用功能能够由软件配置到其他引脚上(如果相应的封装型号有此引脚)，详细信息请参考STM32F10xxx参考手册的复用功能I/O章节和调试设置章节。
7. LQFP64封装的引脚5和引脚6在芯片复位后默认配置为OSC_IN和OSC_OUT功能脚。软件可以重新设置这两个引脚为PD0和PD1功能。但对于LQFP100/BGA100封装和LQFP144/BGA144封装，由于PD0和PD1为固有的功能引脚，因此没有必要再由软件进行重映像设置。更多详细信息请参考STM32F10xxx参考手册的复用功能I/O章节和调试设置章节。
8. LPFP64封装的产品，没有FSMC功能。

译注：

表中的引脚PA0对应的复用功能中的TIM2_CH1_ETR，表示可以配置该功能为TIM2_TI1或TIM2_ETR。同理，PA15对应的重映射复用功能的名称TIM2_CH1_ETR，具有相同的意义。

表6　FSMC引脚定义

管脚	FSMC					LQFP100[1]
	CF	CF/IDE	NOR/PSRAM	NOR Mux	NAND 16bit	
PE2			A23	A23		有
PE3			A19	A19		有
PE4			A20	A20		有
PE5			A21	A21		有
PE6			A22	A22		有
PF0	A0	A0	A0			-
PF1	A1	A1	A1			-
PF2	A2	A2	A2			-
PF3	A3		A3			-
PF4	A4		A4			-
PF5	A5		A5			-
PF6	NIORD	NIORD				-
PF7	NREG	NREG				-
PF8	NIOWR	NIOWR				-
PF9	CD	CD				-
PF10	INTR	INTR				-
PF11	NIOS16	NIOS16				-
PF12	A6		A6			-
PF13	A7		A7			-
PF14	A8		A8			-
PF15	A9		A9			-
PG0	A10		A10			-
PG1			A11			-
PE7	D4	D4	D4	DA4	D4	有
PE8	D5	D5	D5	DA5	D5	有
PE9	D6	D6	D6	DA6	D6	有
PE10	D7	D7	D7	DA7	D7	有
PE11	D8	D8	D8	DA8	D8	有
PE12	D9	D9	D9	DA9	D9	有
PE13	D10	D10	D10	DA10	D10	有
PE14	D11	D11	D11	DA11	D11	有
PE15	D12	D12	D12	DA12	D12	有
PD8	D13	D13	D13	DA13	D13	有
PD9	D14	D14	D14	DA14	D14	有
PD10	D15	D15	D15	DA15	D15	有
PD11			A16	A16	CLE	有
PD12			A17	A17	ALE	有
PD13			A18	A18		有

表6　FSMC引脚定义(续)

管脚	FSMC					LQFP100[1]
	CF	CF/IDE	NOR/PSRAM	NOR Mux	NAND 16bit	
PD14	D0	D0	D0	DA0	D0	有
PD15	D1	D1	D1	DA1	D1	有
PG2			A12			-
PG3			A13			-
PG4			A14			-
PG5			A15			-
PG6					INT2	-
PG7					INT3	-
PD0	D2	D2	D2	DA2	D2	有
PD1	D3	D3	D3	DA3	D3	有
PD3			CLK	CLK		有
PD4	NOE	NOE	NOE	NOE	NOE	有
PD5	NEW	NEW	NEW	NEW	NEW	有
PD6	NWAIT	NWAIT	NWAIT	NWAIT	NWAIT	有
PD7			NE1	NE1	NCE2	有
PG9			NE2	NE2	NCE3	-
PG10	NCE4_1	NCE4_1	NE3	NE3		-
PG11	NCE4_2	NCE4_2				-
PG12			NE4	NE4		-
PG13			A24	A24		-
PG14			A25	A25		-
PB7			NADV	NADV		有
PE0			NBL0	NBL0		有
PE1			NBL1	NBL1		有

1．在100脚封装的产品中，没有端口F和端口G对应的引脚。

4 存储器映像

图6 存储器图

Address	Block
0xFFFF FFFF – 0xE000 0000	512-Mbyte block 7 Cortex-M3's internal peripherals
0xDFFF FFFF – 0xC000 0000	512-Mbyte block 6 Not used
0xBFFF FFFF – 0xA000 0000	512-Mbyte block 5 FSMC register
0x9FFF FFFF – 0x8000 0000	512-Mbyte block 4 FSMC bank3 & bank4
0x7FFF FFFF – 0x6000 0000	512-Mbyte block 3 FSMC bank1 & bank2
0x5FFF FFFF – 0x4000 0000	512-Mbyte block 2 Peripherals
0x3FFF FFFF – 0x2000 0000	512-Mbyte block 1 SRAM
0x1FFF FFFF – 0x0000 0000	512-Mbyte block 0 Code

Region	Address range
Reserved	0xA000 1000 - 0xBFFF FFFF
FSMC register	0xA000 0000 - 0xA000 0FFF
FSMC bank 4 PCCARD	0x9000 0000 - 0x9FFF FFFF
FSMC bank 3 NAND (NAND2)	0x8000 0000 - 0x8FFF FFFF
FSMC bank 2 NAND (NAND1)	0x7000 0000 - 0x7FFF FFFF
FSMC bank 1 NOR/PSRAM 4	0x6C00 0000 - 0x6FFF FFFF
FSMC bank 1 NOR/PSRAM 3	0x6800 0000 - 0x6BFF FFFF
FSMC bank 1 NOR/PSRAM 2	0x6400 0000 - 0x67FF FFFF
FSMC bank 1 NOR/PSRAM 1	0x6000 0000 - 0x63FF FFFF
Reserved	0x4002 3400 - 0x5FFF FFFF
CRC	0x4002 3000 - 0x4002 33FF
Reserved	0x4002 2400 - 0x4002 2FFF
Flash interface	0x4002 2000 - 0x4002 23FF
Reserved	0x4002 1400 - 0x4002 1FFF
RCC	0x4002 1000 - 0x4002 13FF
Reserved	0x4002 0400 - 0x4002 0FFF
DMA2	0x4002 0400 - 0x4002 07FF
DMA1	0x4002 0000 - 0x4002 03FF
Reserved	0x4001 8400 - 0x4001 FFFF
Reserved	0x4001 8000 - 0x4001 83FF
Reserved	0x4001 3C00 - 0x4001 7FFF
USART1	0x4001 3800 - 0x4001 3BFF
Reserved	0x4001 3400 - 0x4001 37FF
SPI1	0x4001 3000 - 0x4001 33FF
Reserved	0x4001 2800 - 0x4001 2FFF
ADC1	0x4001 2400 - 0x4001 27FF
Port G	0x4001 2000 - 0x4001 23FF
Port F	0x4001 1C00 - 0x4001 1FFF
Port E	0x4001 1800 - 0x4001 1BFF
Port D	0x4001 1400 - 0x4001 17FF
Port C	0x4001 1000 - 0x4001 13FF
Port B	0x4001 0C00 - 0x4001 0FFF
Port A	0x4001 0800 - 0x4001 0BFF
EXTI	0x4001 0400 - 0x4001 07FF
AFIO	0x4001 0000 - 0x4001 03FF
Reserved	0x4000 7800 - 0x4000 FFFF
DAC	0x4000 7400 - 0x4000 77FF
PWR	0x4000 7000 - 0x4000 73FF
BKP	0x4000 6C00 - 0x4000 6FFF
Reserved	0x4000 5C00 - 0x4000 6BFF
I2C2	0x4000 5800 - 0x4000 5BFF
I2C1	0x4000 5400 - 0x4000 57FF
UART5	0x4000 5000 - 0x4000 53FF
UART4	0x4000 4C00 - 0x4000 4FFF
USART3	0x4000 4800 - 0x4000 4BFF
USART2	0x4000 4400 - 0x4000 47FF
Reserved	0x4000 4000 - 0x4000 43FF
SPI3	0x4000 3C00 - 0x4000 3FFF
SPI2	0x4000 3800 - 0x4000 3BFF
Reserved	0x4000 3400 - 0x4000 37FF
IWDG	0x4000 3000 - 0x4000 33FF
WWDG	0x4000 2C00 - 0x4000 2FFF
RTC	0x4000 2800 - 0x4000 2BFF
Reserved	0x4000 1800 - 0x4000 27FF
TIM7	0x4000 1400 - 0x4000 17FF
TIM6	0x4000 1000 - 0x4000 13FF
TIM5	0x4000 0C00 - 0x4000 0FFF
TIM4	0x4000 0800 - 0x4000 0BFF
TIM3	0x4000 0400 - 0x4000 07FF
TIM2	0x4000 0000 - 0x4000 03FF

Region	Address
Reserved	0x3FFF FFFF – 0x2000 C000
SRAM (48 KB aliased by bit-banding)	0x2000 BFFF – 0x2000 0000
Option Bytes	0x1FFF F800 - 0x1FFF F80F
System memory	0x1FFF F000- 0x1FFF F7FF
Reserved	0x1FFF EFFF – 0x0808 0000
Flash	0x0807 FFFF – 0x0800 0000
Reserved	0x07FF FFFF – 0x0008 0000
Aliased to Flash or system memory depending on BOOT pins	0x0007 FFFF – 0x0000 0000

ai14811c

5 电气特性

5.1 测试条件

除非特别说明，所有电压的都以V_{SS}为基准。

5.1.1 最小和最大数值

除非特别说明，在生产线上通过对100%的产品在环境温度T_A=25°C和T_A=$T_A$max下执行的测试($T_A$max与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均±3Σ)得到。

5.1.2 典型数值

除非特别说明，典型数据是基于T_A=25°C和V_{DD}=3.3V(2V ≤ V_{DD} ≤ 3.3V电压范围)。这些数据仅用于设计指导而未经测试。

典型的ADC精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95%产品的误差小于等于给出的数值(平均±2Σ)。

5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 负载电容

测量引脚参数时的负载条件示于图7中。

5.1.5 引脚输入电压

引脚上输入电压的测量方式示于图8中。

图7　引脚的负载条件

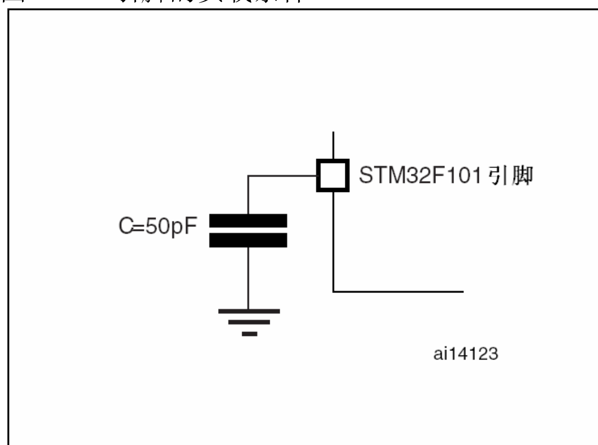
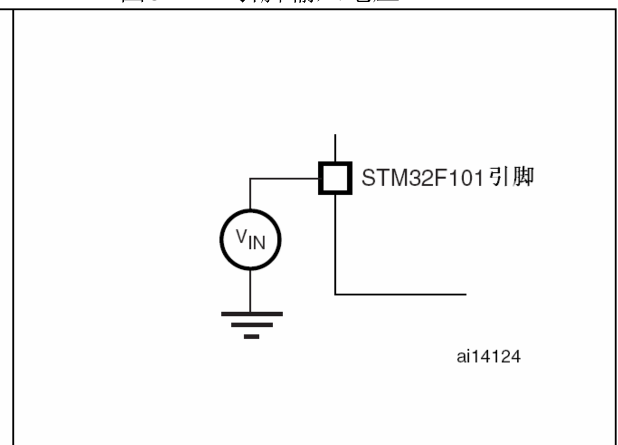
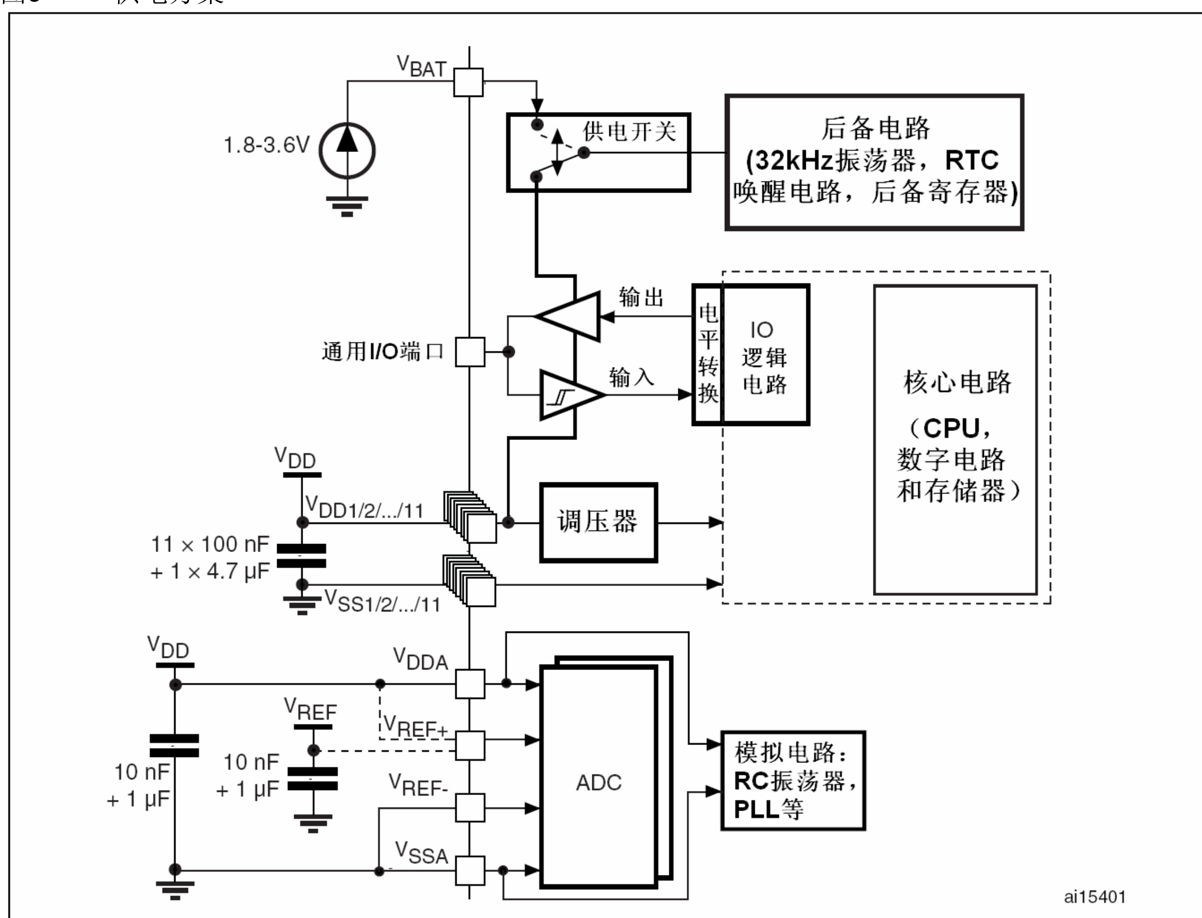


图8　引脚输入电压



5.1.6 供电方案

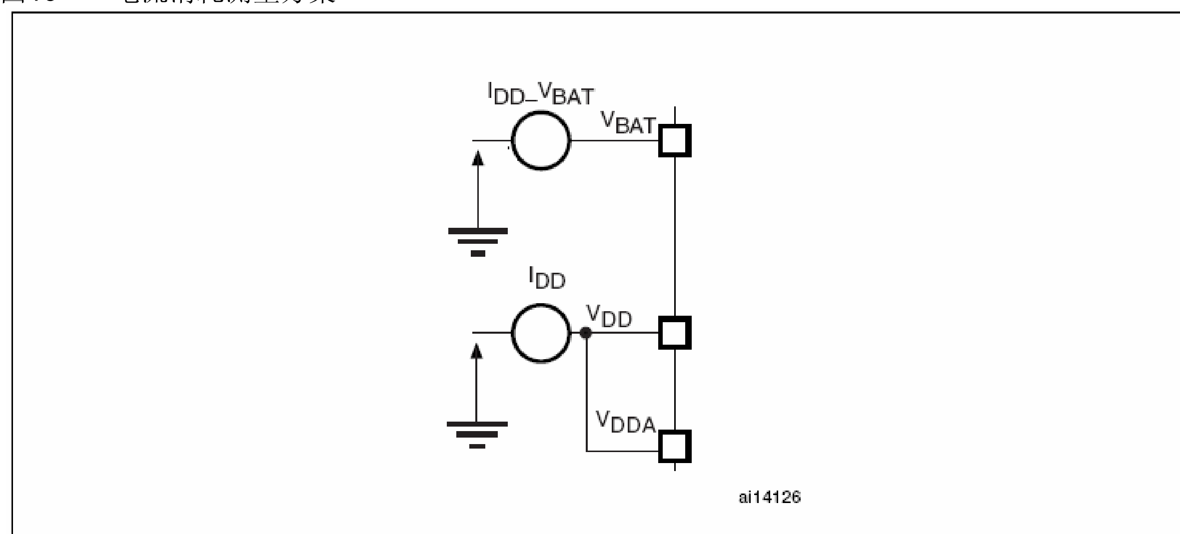
图9　　供电方案



注：上图中的4.7μF电容必须连接到V_{DD3}。

5.1.7 电流消耗测量

图10　　电流消耗测量方案



5.2 绝对最大额定值

加在器件上的载荷如果超过'绝对最大额定值'列表(表7、表8、表9)中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表7 电压特性

符 号	描 述	最小值	最大值	单 位
V_{DD} - V_{SS}	外部主供电电压(包含V_{DDA}和V_{DD})(1)	-0.3	4.0	V
V_{IN}	在5V容忍的引脚上的输入电压(2)	V_{SS}-0.3	5.5	
	在其它引脚上的输入电压(2)	V_{SS}-0.3	V_{DD} + 0.3	
$\mid \Delta V_{DDx} \mid$	不同供电引脚之间的电压差		50	mV
$\mid V_{SSx}$ - $V_{SS} \mid$	不同接地引脚之间的电压差		50	
$V_{ESD(HBM)}$	ESD静电放电电压(人体模型)	参见第5.3.12节		

1. 所有的电源(V_{DD}, V_{DDA})和地(V_{SS}, V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
2. $I_{INJ(PIN)}$绝对不可以超过它的极限(见表8)，即保证V_{IN}不超过其最大值。如果不能保证V_{IN}不超过其最大值，也要保证在外部限制$I_{INJ(PIN)}$不超过其最大值。当$V_{IN}>V_{IN}max$时，有一个正向注入电流；当$V_{IN}<V_{SS}$时，有一个反向注入电流。

表8 电流特性

符号	描述	最大值(1)	单位
I_{VDD}	经过V_{DD}/V_{DDA}电源线的总电流(供应电流) (1)	150	mA
I_{VSS}	经过V_{SS}地线的总电流(流出电流) (1)	150	
I_{IO}	任意I/O和控制引脚上的输出灌电流	25	
	任意I/O和控制引脚上的输出电流	-25	
$I_{INJ(PIN)}$ (2) (3)	NRST引脚的注入电流	±5	
	HSE的OSC_IN引脚和LSE的OSC_IN引脚的注入电流	±5	
	其他引脚的注入电流(4)	±5	
$\Sigma I_{INJ(PIN)}$(2)	所有I/O和控制引脚上的总注入电流(4)	±25	

1. 所有的电源(V_{DD}，V_{DDA})和地(V_{SS}，V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
2. $I_{INJ(PIN)}$绝对不可以超过它的极限，即保证V_{IN}不超过其最大值。如果不能保证V_{IN}不超过其最大值，也要保证在外部限制$I_{INJ(PIN)}$不超过其最大值。当$V_{IN}>V_{DD}$时，有一个正向注入电流；当$V_{IN}<V_{SS}$时，有一个反向注入电流。
3. 反向注入电流会干扰器件的模拟性能。参看第5.3.17节。
4. 当几个I/O口同时有注入电流时，$\Sigma I_{INJ(PIN)}$的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件4个I/O端口上$\Sigma I_{INJ(PIN)}$最大值的特性。

表9 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-60 ~ + 150	℃
T_J	最大结温度	105	℃

5.3 工作条件

5.3.1 通用工作条件

表10 通用工作条件

符号	参数	条件	最小值	最大值	单 位
f_{HCLK}	内部AHB时钟频率		0	36	MHz
f_{PCLK1}	内部APB1时钟频率		0	36	
f_{PCLK2}	内部APB2时钟频率		0	36	
V_{DD}	标准工作电压		2	3.6	V
V_{DDA}(1)	模拟部分工作电压(未使用ADC)	必须与V_{DD}(2)相同	2	3.6	V
	模拟部分工作电压(使用ADC)		2.4	3.6	
V_{BAT}	备份部分工作电压		1.8	3.6	V
P_D	功率耗散(3)：T_A=855℃	LQFP144		666	mW
		LQFP100		434	
		LQFP64		444	
T_A	环境温度	最大功率消耗	-40	85	℃
		低功率消耗(4)	-40	105	
T_J	结温度范围		-40	105	℃

1. 当使用ADC时，参见表53。
2. 建议使用相同的电源为V_{DD}和V_{DDA}供电，在上电和正常操作期间，V_{DD}和V_{DDA}之间最多允许有300mV的差别。
3. 如果T_A较低，只要T_J不超过$T_J$max(参见第6.2节)，则允许更高的P_D数值。
4. 在较低的功率耗散的状态下，只要T_J不超过$T_J$max(参见第6.2节)，T_A可以扩展到这个范围。

5.3.2 上电和掉电时的工作条件

下表中给出的参数是依据表10列出的环境温度下测试得出。

表11 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单 位
t_{VDD}	V_{DD}上升速率		0	∞	μs/V
	V_{DD}下降速率		20	∞	

5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表10列出的环境温度下和V_{DD}供电电压下测试得出。

表12 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单 位
V_{PVD}	可编程的电压检测器的电平选择	PLS[2:0]=000 (上升沿)	2.1	2.18	2.26	V
		PLS[2:0]=000 (下降沿)	2	2.08	2.16	V
		PLS[2:0]=001 (上升沿)	2.19	2.28	2.37	V
		PLS[2:0]=001 (下降沿)	2.09	2.18	2.27	V
		PLS[2:0]=010 (上升沿)	2.28	2.38	2.48	V
		PLS[2:0]=010 (下降沿)	2.18	2.28	2.38	V
		PLS[2:0]=011 (上升沿)	2.38	2.48	2.58	V
		PLS[2:0]=011 (下降沿)	2.28	2.38	2.48	V
		PLS[2:0]=100 (上升沿)	2.47	2.58	2.69	V
		PLS[2:0]=100 (下降沿)	2.37	2.48	2.59	V
		PLS[2:0]=101 (上升沿)	2.57	2.68	2.79	V

V_{PVD}	可编程的电压检测器的电平选择	PLS[2:0]=101 (下降沿)	2.47	2.58	2.69	V
		PLS[2:0]=110 (上升沿)	2.66	2.78	2.9	V
		PLS[2:0]=110 (下降沿)	2.56	2.68	2.8	V
		PLS[2:0]=111 (上升沿)	2.76	2.88	3	V
		PLS[2:0]=111 (下降沿)	2.66	2.78	2.9	V
$V_{PVDhyst}$(2)	PVD迟滞			100		mV
$V_{POR/PDR}$	上电/掉电复位阀值	下降沿	1.8(1)	1.88	1.96	V
		上升沿	1.84	1.92	2.0	V
$V_{PDRhyst}$(2)	PDR迟滞			40		mV
$T_{RSTTEMPO}$(2)	复位持续时间		1	2.5	4.5	ms

1. 产品的特性由设计保证至最小的数值$V_{POR/PDR}$。
2. 由设计保证，不在生产中测试。

5.3.4 内置的参照电压

下表中给出的参数是依据表10列出的环境温度下和V_{DD}供电电压下测试得出。

表13 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单 位
V_{REFINT}	内置参照电压	-40℃ < T_A < +85℃	1.16	1.20	1.24	V
$T_{S_vrefint}$(!)	当读出内部参照电压时，ADC的采样时间	PLS[2:0]=001 (上升沿)		5.1	17.1(2)	µs

1. 最短的采样时间是通过应用中的多次循环得到。
2. 由设计保证，不在生产中测试。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O引脚的负载、产品的软件配置、工作频率、I/O脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图10。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码，能够得到Dhrystone 2.1代码等效的结果。

最大电流消耗

微控制器处于下列条件：

- 所有的I/O引脚都处于输入模式，并连接到一个静态电平上——V_{DD}或V_{SS}(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存访问时间调整到f_{HCLK}的频率(0~24MHz时为0个等待周期，24~36MHz时为1个等待周期)。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时：$f_{PCLK1} = f_{HCLK}/2$，$f_{PCLK2} = f_{HCLK}$。

表14、表15和表16中给出的参数，是依据表10列出的环境温度下和V_{DD}供电电压下测试得出。

表14 运行模式下的最大电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	f_{HCLK}	最大值(1) T_A = 85℃	单位
I_{DD}	运行模式下的供应电流	外部时钟(2)，使能所有外设	36MHz	39	mA
			24MHz	27	
			16MHz	20	
			8MHz	11	
		外部时钟(2)，关闭所有外设	36MHz	22	
			24MHz	16.5	
			16MHz	12.5	
			8MHz	8	

1. 由综合评估得出，不在生产中测试。

2. 外部时钟为8MHz，当f_{HCLK}>8MHz时启用PLL。

表15 运行模式下的最大电流消耗，数据处理代码从内部RAM中运行

符号	参数	条件	f_{HCLK}	最大值[1]	单位
				T_A = 85℃	
I_{DD}	运行模式下的供应电流	外部时钟[2]，使能所有外设	36MHz	34	mA
			24MHz	24	
			16MHz	17	
			8MHz	10	
		外部时钟[2]，关闭所有外设	36MHz	18	
			24MHz	13	
			16MHz	10	
			8MHz	6	

1. 由综合评估得出，在生产中以V_{DD}max和f_{HCLK}max为条件测试。
2. 外部时钟为8MHz，当f_{HCLK}>8MHz时启用PLL。

图11 运行模式下典型的电流消耗与频率的对比(3.6V供电，数据处理代码在RAM中运行，使能所有外设)

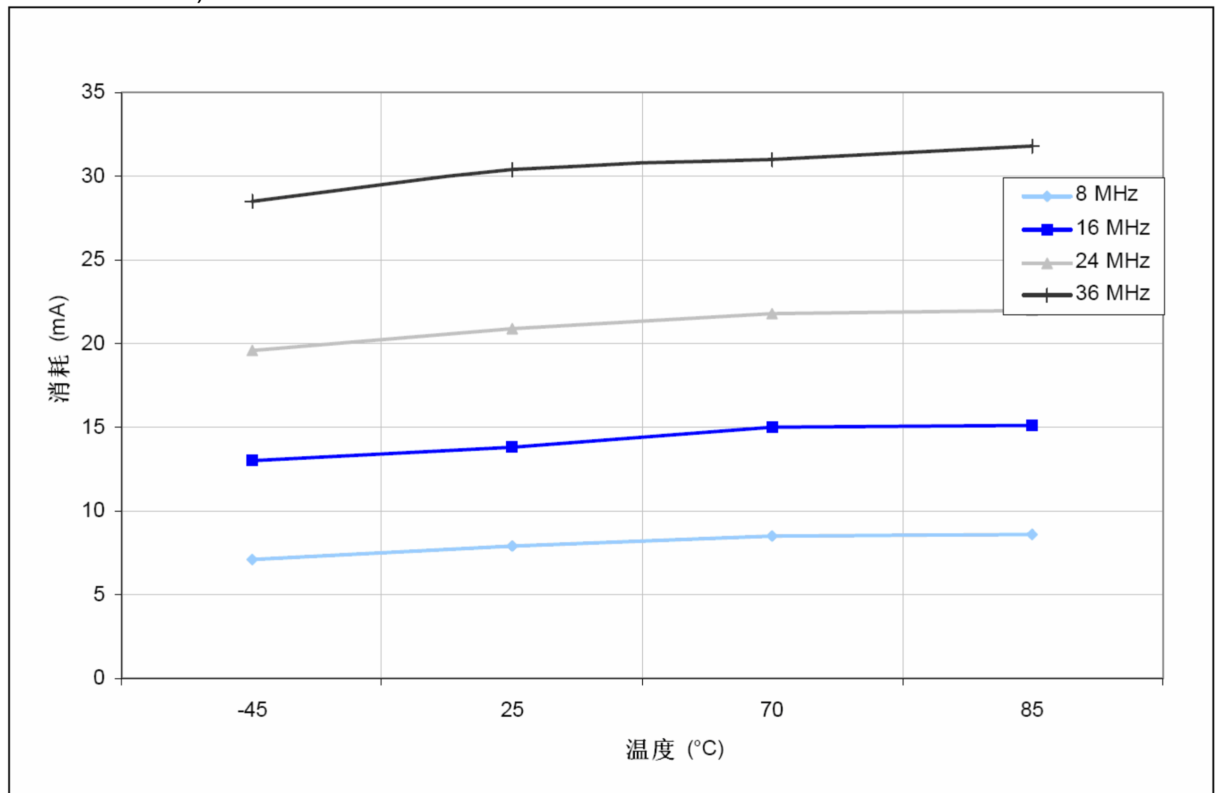


图12　运行模式下典型的电流消耗与频率的对比(3.6V供电，数据处理代码在RAM中运行，关闭所有外设)

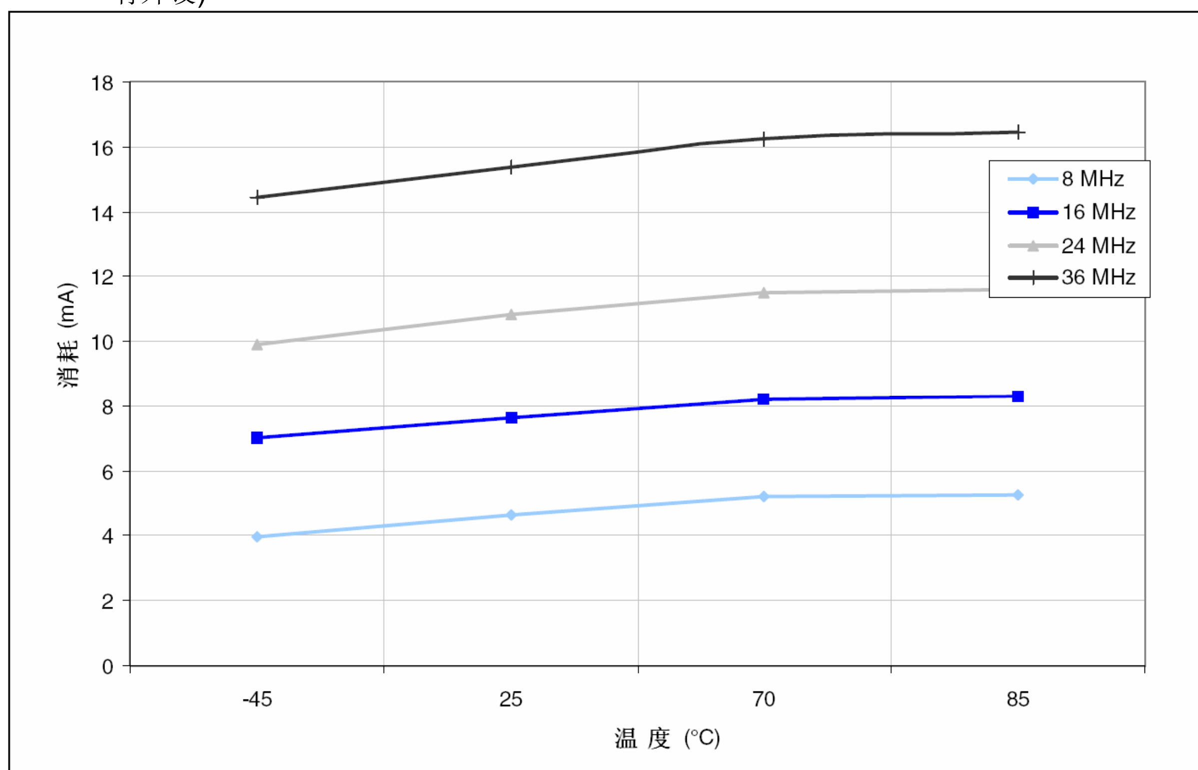


表16　睡眠模式下的最大电流消耗，代码运行在Flash或RAM中

符号	参数	条件	f_{HCLK}	最大值[1] T_A = 85℃	单位
I_{DD}	睡眠模式下的供应电流	外部时钟[2]，使能所有外设	36MHz	24	mA
			24MHz	17	
			16MHz	12.5	
			8MHz	8	
		外部时钟[2]，关闭所有外设	36MHz	6	
			24MHz	5	
			16MHz	4.5	
			8MHz	4	

1. 由综合评估得出，在生产中以V_{DD}max和以f_{HCLK}max使能外设为条件测试。
2. 外部时钟为8MHz，当f_{HCLK}>8MHz时启用PLL。

表17 停机和待机模式下的典型和最大电流消耗

符号	参数	条件	典型值[1]		最大值	单位
			V_{DD}/V_{BAT} = 2.4V	V_{DD}/V_{BAT} = 3.3V	T_A =85℃	
I_{DD}	停机模式下的供应电流	调压器处于运行模式，低速和高速内部RC振荡器和高速振荡器处于关闭状态(没有独立看门狗)	34.5	35	379	μA
		调压器处于低功耗模式，低速和高速内部RC振荡器和高速振荡器处于关闭状态(没有独立看门狗)	24.5	25	365	
	待机模式下的供应电流	低速内部RC振荡器和独立看门狗处于开启状态	3	3.8	-	
		低速内部RC振荡器处于开启状态,独立看门狗处于关闭状态	2.8	3.6	-	
		低速内部RC振荡器和独立看门狗处于关闭状态，低速振荡器和RTC处于关闭状态	1.9	2.1	5[2]	
I_{DD_VBAT}	备份区域的供应电流	低速振荡器和RTC处于开启状态	1.1	1.4	2[2]	

1. 典型值是在T_A=25℃下测试得到。
2. 由综合评估得出，不在生产中测试。

图13 调压器在运行状态时，停机模式下的典型电流消耗与不同V_{DD}和温度的对比

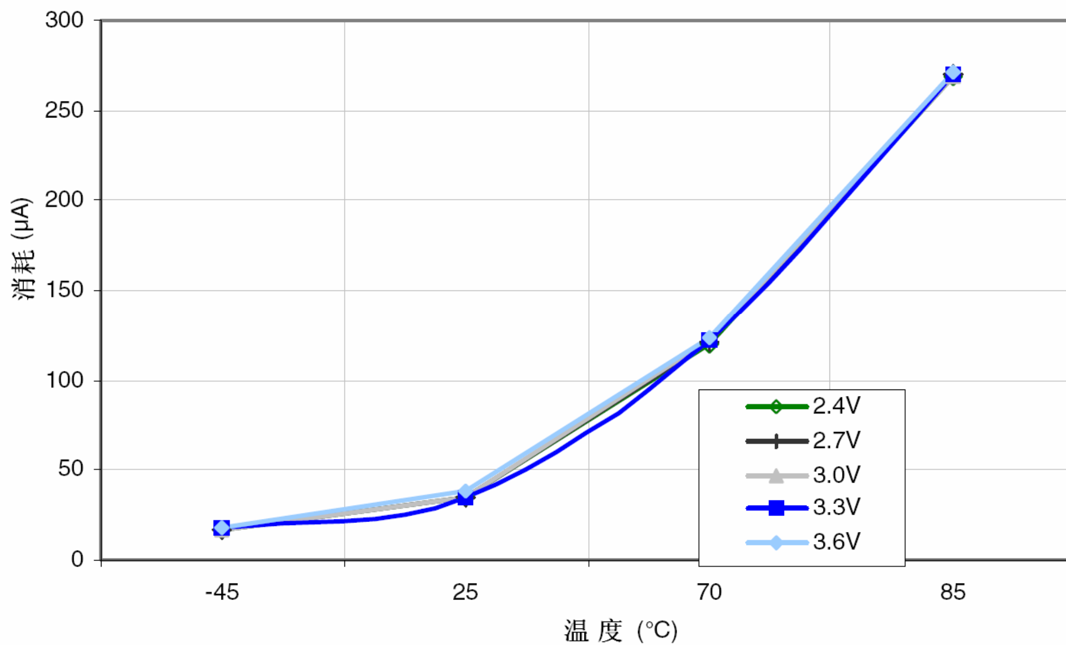


图14　调压器在低功耗状态时，停机模式下的典型电流消耗与不同V_{DD}和温度的对比

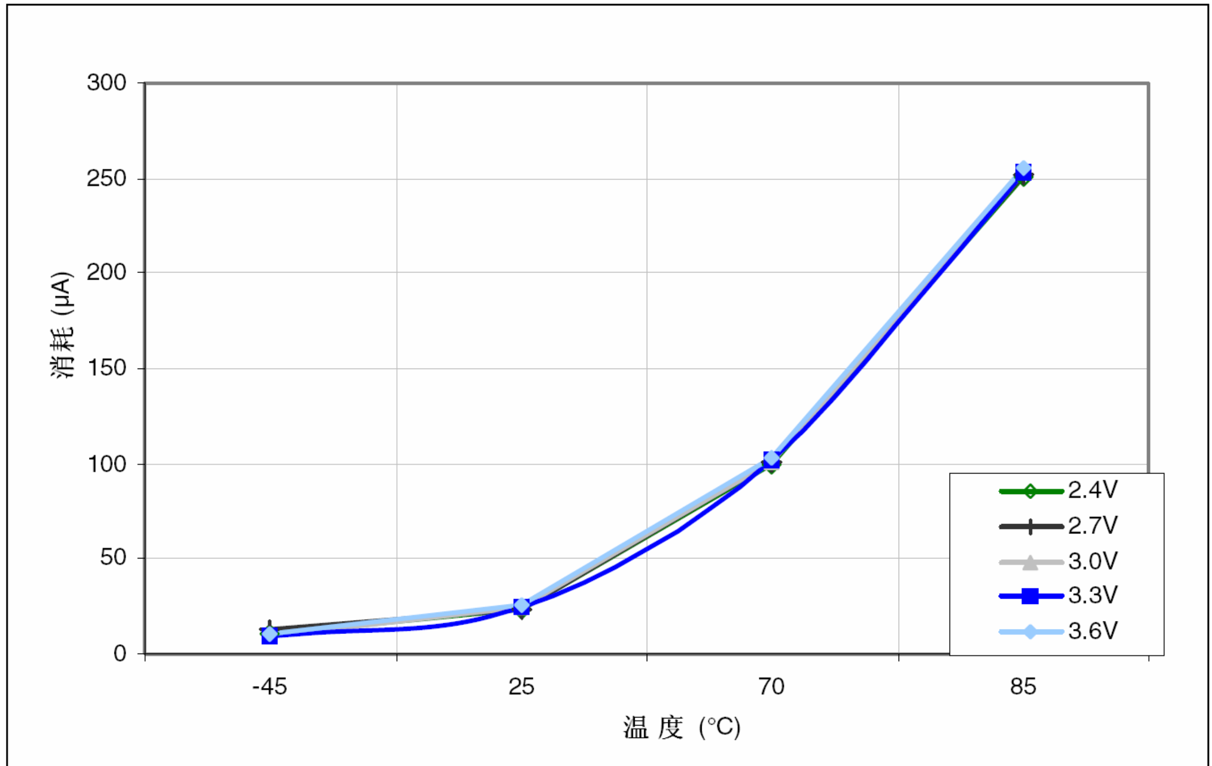
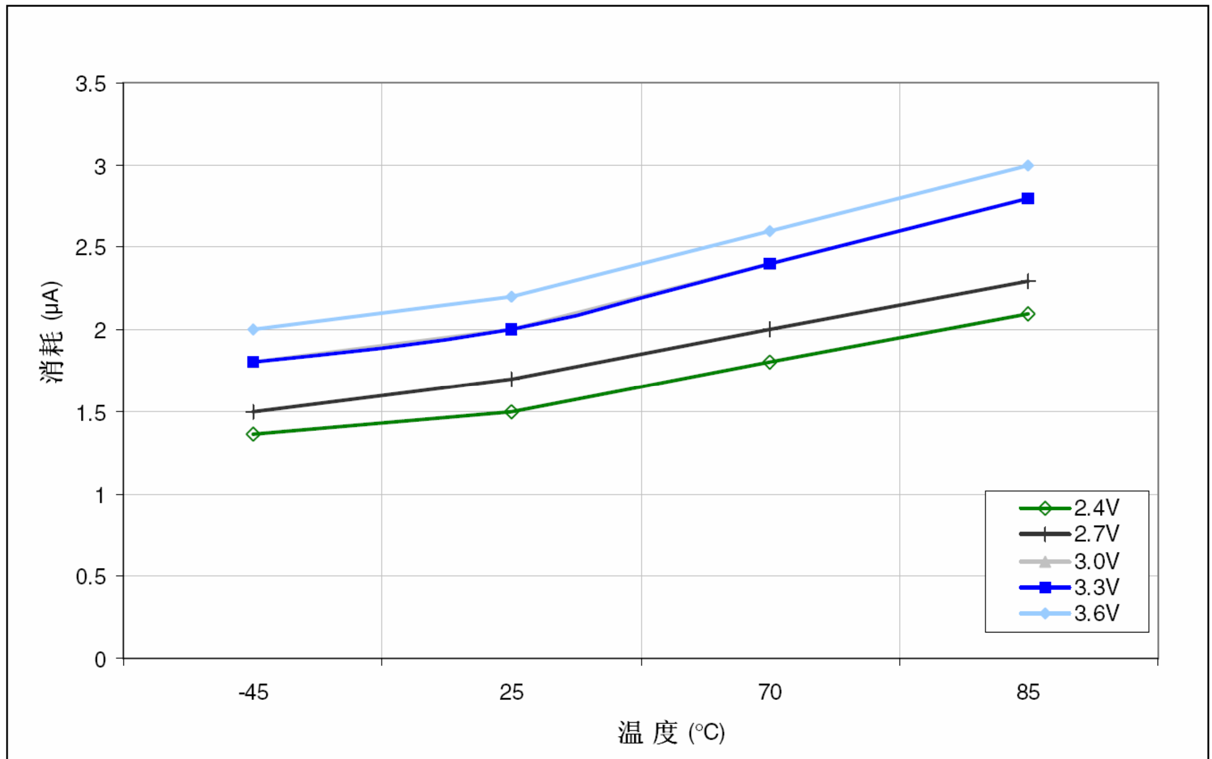


图15　待机模式下的典型电流消耗与不同V_{DD}和温度的对比



典型的电流消耗

MCU处于下述条件下：

- 所有的I/O引脚都处于输入模式，并连接到一个静态电平上——V_{DD}或V_{SS}(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存访问时间调整到f_{HCLK}的频率(0~24MHz时为0个等待周期，24~36MHz时为1个等待周期)。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时：$f_{PCLK1} = f_{HCLK}/4$，$f_{PCLK2} = f_{HCLK}/2$，$f_{ADCCLK} = f_{PCLK2}/4$。

下表给出的参数是在环境温度和V_{DD}供电电压符合表10的条件测试得到。

表18 运行模式下的典型电流消耗，数据处理代码从内部Flash中运行

符号	参数	条件	f_{HCLK}	典型值[1]		单位
				使能所有外设[2]	关闭所有外设	
I_{DD}	运行模式下的供应电流	外部时钟[3]	36MHz	26.6	16.2	mA
			24MHz	18.5	11.4	
			16MHz	12.8	8.2	
			8MHz	7.2	5	
			4MHz	4.2	3.1	
			2MHz	2.7	2.1	
			1MHz	2	1.7	
			500kHz	1.6	1.4	
			125kHz	1.3	1.2	
		运行于高速内部RC振荡器(HSI)，使用AHB预分频以减低频率	36MHz	26	15.6	mA
			24MHz	17.9	10.8	
			16MHz	12.2	7.6	
			8MHz	6.6	4.4	
			4MHz	3.6	2.5	
			2MHz	2.1	1.5	
			1MHz	1.4	1.1	
			500kHz	1	0.8	
			125kHz	0.7	0.6	

1. 典型值是在T_A=25℃、V_{DD}=3.3V时测试得到。
2. 每个模拟部分的ADC要增加额外的0.8mA电流消耗。在应用环境中，这部分电流只有在开启ADC(设置ADC_CR2寄存器的ADON位)时才会增加。
3. 外部时钟为8MHz，当f_{HCLK}>8MHz时启用PLL。

表19 睡眠模式下的典型电流消耗，数据处理代码从内部Flash或RAM中运行

符号	参数	条件	f_{HCLK}	典型值[1]		单位
				使能所有外设[2]	关闭所有外设	
I_{DD}	运行模式下的供应电流	外部时钟[3]	36MHz	15.1	3.6	mA
			24MHz	10.4	2.6	
			16MHz	7.2	2	
			8MHz	3.9	1.3	
			4MHz	2.6	1.2	
			2MHz	1.85	1.15	
			1MHz	1.5	1.1	
			500kHz	1.3	1.05	
			125kHz	1.2	1.05	
		运行于高速内部RC振荡器(HSI)，使用AHB预分频以减低频率	36MHz	14.5	3	mA
			24MHz	9.8	2	
			16MHz	6.6	1.4	
			8MHz	3.3	0.7	
			4MHz	2	0.6	
			2MHz	1.25	0.55	
			1MHz	0.9	0.5	
			500kHz	0.7	0.45	
			125kHz	0.6	0.45	

1. 典型值是在T_A=25℃、V_{DD}=3.3V时测试得到。
2. 每个模拟部分的ADC要增加额外的0.8mA电流消耗。在应用环境中，这部分电流只有在开启ADC(设置ADC_CR2寄存器的ADON位)时才会增加。
3. 外部时钟为8MHz，当f_{HCLK}>8MHz时启用PLL。

内置外设电流消耗

内置外设的电流消耗列于表20，MCU的工作条件如下：

- 所有的I/O引脚都处于输入模式，并连接到一个静态电平上——V_{DD}或V_{SS}(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
  - 关闭所有外设的时钟
  - 只开启一个外设的时钟
- 环境温度和V_{DD}供电电压条件列于表7。

表20 内置外设的电流消耗

内置外设		25℃时的典型功耗(1)	单位	内置外设		25℃时的典型功耗(1)	单位
APB1	TIM2	0.6	mA	APB2	GPIOA	0.3	mA
	TIM3	0.6			GPIOB	0.4	
	TIM4	0.6			GPIOC	0.4	
	TIM5	0.6			GPIOD	0.3	
	TIM6	0.2			GPIOE	0.5	
	TIM7	0.2			GPIOF	0.4	
	SPI2	0.15			GPIOG	0.5	
	SPI3	0.15			ADC(2)	1.4	
	USART2	0.25			SPI1	0.4	
	USART3	0.25			USART1	0.9	
	UART4	0.3					
	UART5	0.3					
	I2C1	0.22					
	I2C2	0.22					
	DAC	0.72					

1. f_{HCLK}=36MHz，$f_{APB1} = f_{HCLK}/2$，$f_{APB2} = f_{HCLK}$，每个外设的预分频系数为默认值。
2. ADC的特殊条件：f_{HCLK}=28MHz，$f_{APB1} = f_{HCLK}/2$，$f_{APB2} = f_{HCLK}$，$f_{ADCCLK} = f_{APB2}/2$，ADC_CR2寄存器的ADON=1。

5.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合表10的条件。

表21 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率(1)		0	8	25	MHz
V_{HSEH}	OSC_IN输入引脚高电平电压		$0.7V_{DD}$		V_{DD}	V
V_{HSEL}	OSC_IN输入引脚低电平电压		V_{SS}		$0.3V_{DD}$	V
$t_{w(HSE)}$ $t_{w(HSE)}$	OSC_IN高或低的时间(1)		16			ns
$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN上升或下降的时间(1)				20	ns
$C_{in(HSE)}$	OSC_IN输入容抗(1)			5		pF
$DuCy_{(HSE)}$	占空比		45		55	%
I_L	OSC_IN输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$			±1	μA

1. 由设计保证，不在生产中测试。

来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合表10的条件。

表22 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率(1)		0	32.768	1000	MHz
V_{LSEH}	OSC32_IN输入引脚高电平电压		$0.7V_{DD}$		V_{DD}	V
V_{LSEL}	OSC32_IN输入引脚低电平电压		V_{SS}		$0.3V_{DD}$	V
$t_{w(LSE)}$ $t_{w(LSE)}$	OSC32_IN高或低的时间(1)		450			ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN上升或下降的时间(1)				50	ns
$C_{in(LSE)}$	OSC32_IN输入容抗(1)			5		pF
$DuCy_{(LSE)}$	占空比		30		70	%
I_L	OSC32_IN输入漏电流	$V_{SS} \le V_{IN} \le V_{DD}$			±1	μA

1. 由设计保证，不在生产中测试。

图16 外部高速时钟源的交流时序图

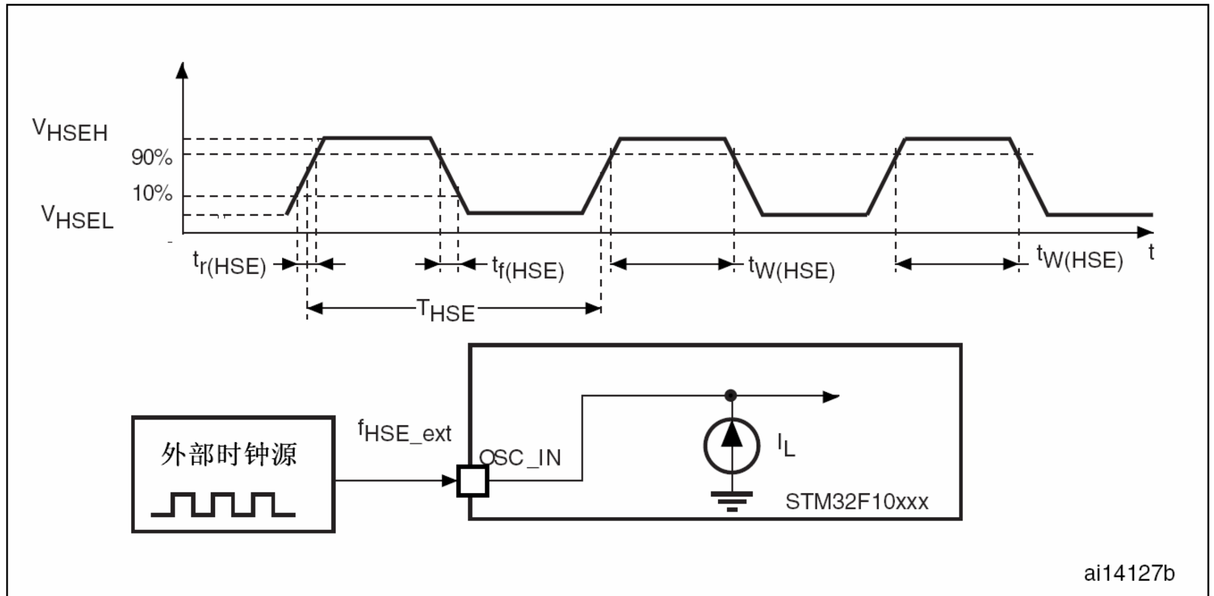
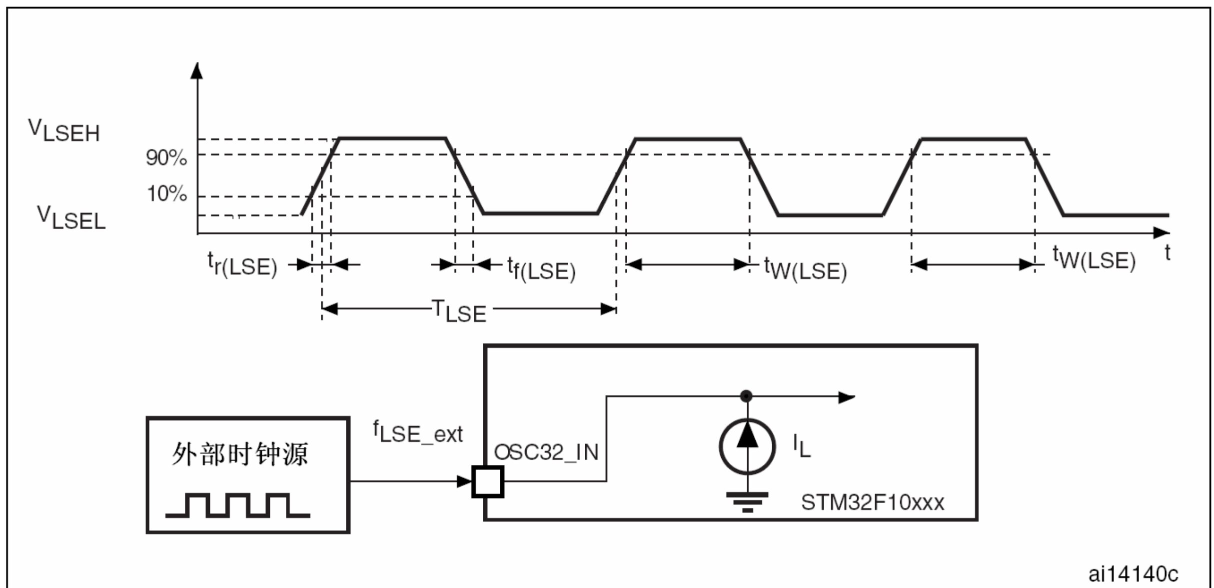


图17 外部低速时钟源的交流时序图



使用一个晶体/陶瓷谐振器产生的高速外部时钟

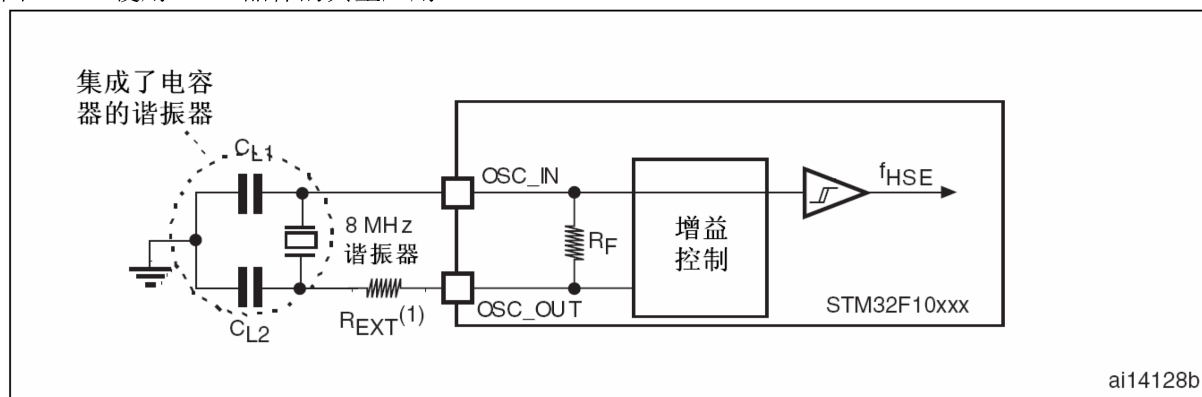
高速外部时钟(HSE)可以使用一个4~16MHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(译注：这里提到的晶体谐振器就是我们通常说的无源晶振)

表23 HSE 4~16MHz振荡器特性(1)(2)

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率		4	8	16	MHz
R_F	反馈电阻			200		kΩ
C_{L1} C_{L2}(3)	建议的负载电容与对应的晶体串行阻抗(R_S)(4)	R_S = 30Ω		30		pF
i_2	HSE驱动电流	V_{DD}=3.3V，V_{IN}=V_{SS} 30pF负载			1	mA
g_m	振荡器的跨导	启动	25			mA/V
$t_{SU(HSE)}$(5)	启动时间	V_{DD}是稳定的		2		ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出，不在生产中测试。
3. 对于C_{L1}和C_{L2}，建议使用高质量的、为高频应用而设计的(典型值为)5pF~25pF之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常C_{L1}和C_{L2}具有相同参数。晶体制造商通常以C_{L1}和C_{L2}的串行组合给出负载电容的参数。在选择C_{L1}和C_{L2}时，PCB和MCU引脚的容抗应该考虑在内(可以粗略地把引脚与PCB板的电容按10pF估计)。
4. 相对较低的RF电阻值，能够可以为避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果MCU是应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。
5. $t_{SU(HSE)}$是启动时间，是从软件使能HSE开始测量，直至得到稳定的8MHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图18　　使用8MHz晶体的典型应用



1. R_{EXT}数值由晶体的特性决定。典型值是5至6倍的R_S。

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个32.768kHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用表24中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(译注：这里提到的晶体谐振器就是我们通常说的无源晶振)

注意：对于C_{L1}和C_{L2}，建议使用高质量的5pF~15pF之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常C_{L1}和C_{L2}具有相同参数。晶体制造商通常以C_{L1}和C_{L2}的串行组合给出负载电容的参数。

负载电容CL由下式计算：$C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$，其中$C_{stray}$是引脚的电容和PCB板或PCB相关的电容，它的典型值是介于2pF至7pF之间。

警告：为了避免超出C_{L1}和C_{L2}的最大值(15pF)，强烈建议使用负载电容C_L≤7pF的谐振器，不能使用负载电容为12.5pF的谐振器。

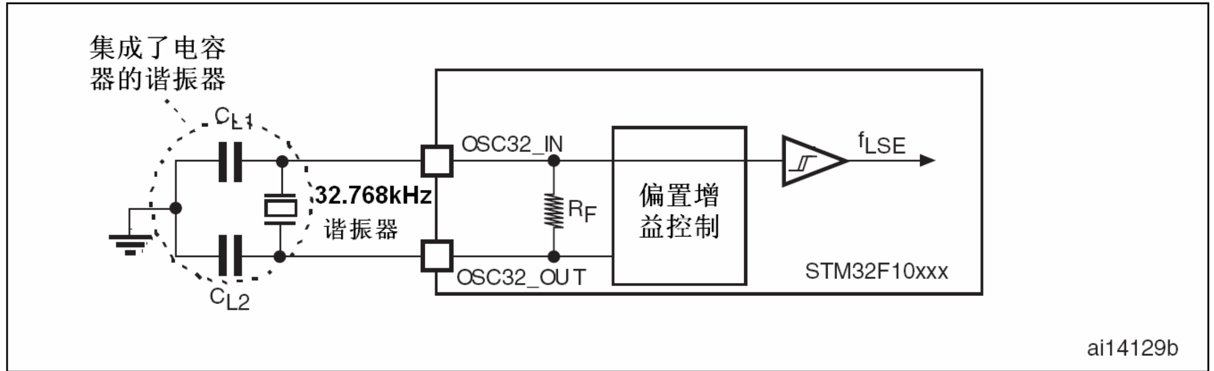
例如：如果选择了一个负载电容C_L=6pF的谐振器并且C_{stray}=2pF，则C_{L1}=C_{L2}=8pF。

表24 LSE 振荡器特性(f_{LSE}=32.768kHz)[1]

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻			5		MΩ
C_{L1} C_{L2}[2]	建议的负载电容与对应的晶体串行阻抗(R_S)[3]	R_S = 30Ω			15	pF
I_2	LSE驱动电流	V_{DD}=3.3V，V_{IN}=V_{SS}			1.4	µA
g_m	振荡器的跨导		5			µA/V
$t_{SU(LSE)}$[4]	启动时间	V_{DD}是稳定的		3		s

1. 由综合评估得出，不在生产中测试。
2. 参见本表格上方的注意和警告段落。
3. 选择具有较小R_S值的高质量振荡器(如MSIV-TIN32.768kHz)，可以优化电流消耗。详情请咨询晶体制造商。
4. $t_{SU(HSE)}$是启动时间，是从软件使能HSE开始测量，直至得到稳定的8MHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图19　　使用32.768kH晶体的典型应用



5.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表10的条件测量得到。

高速内部(HSI)RC振荡器

表25 HSI振荡器特性[1][2]

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率			8		MHz
ACC_{HSI}	HSI振荡器的精度	T_A = -40~85℃	-2	±1	2.5	%
		T_A = -10~85℃	-1.5	±1	2.2	%
		T_A = 0~70℃	-1.3	±1	2	%
		T_A = 25℃	-1.1	±1	1.8	%
$t_{SU(HSI)}$	HSI振荡器启动时间		1		2	µs
$I_{DD(HSI)}$	HSI振荡器功耗			80	100	µA

1. V_{DD} = 3.3V，T_A = -40~85℃，除非特别说明。
2. 由设计保证，不在生产中测试。

低速内部(LSI)RC振荡器

表26 LSI振荡器特性[1]

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}[2]	频率		30	40	60	kHz
$t_{SU(LSI)}$[3]	LSI振荡器启动时间				80	µs
$I_{DD(LSI)}$[3]	LSI振荡器功耗			0.65	1.2	µA

1. V_{DD} = 3.3V，T_A = -40~85℃，除非特别说明。
2. 由综合评估得出，不在生产中测试。
3. 由设计保证，不在生产中测试。

从低功耗模式唤醒的时间

表27列出的唤醒时间是在一个8MHz的HSI RC振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是RC振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表10的条件测量得到。

表27 低功耗模式的唤醒时间

符号	参数	条件	典型值	单位
$t_{WUSLEEP}$[1]	从睡眠模式唤醒	使用HSI RC时钟唤醒	1.8	μs
t_{WUSTOP}[1]	从停机模式唤醒(调压器处于运行模式)	HSI RC时钟唤醒 = 2μs	3.6	μs
	从停机模式唤醒(调压器为低功耗模式)	HSI RC时钟唤醒 = 2μs 调压器从低功耗模式唤醒时间 = 5μs	5.4	
$t_{WUSTDBY}$[1]	从待机模式唤醒	HSI RC时钟唤醒 = 2μs 调压器从关闭模式唤醒时间 = 38μs	50	μs

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.8 PLL特性

表28列出的参数是使用环境温度和供电电压符合表10的条件测量得到。

表28 PLL特性

符号	参数	数值			单位
		最小值	典型值	最大值[1]	
f_{PLL_IN}	PLL输入时钟[2]	1	8.0	25	MHz
	PLL输入时钟占空比	40		60	%
f_{PLL_OUT}	PLL倍频输出时钟	16		36	MHz
t_{LOCK}	PLL锁相时间			200	μs

1. 由综合评估得出，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据PLL输入时钟频率使得f_{PLL_OUT}处于允许范围内。

5.3.9 存储器特性

闪存存储器

除非特别说明，所有特性参数是在T_A = -40~85℃得到。

表29 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值[1]	单位
t_{prog}	16位的编程时间	T_A = -40~85℃	40	52.5	70	μs
t_{ERASE}	页(2K字节)擦除时间	T_A = -40~85℃	20		40	ms
t_{ME}	整片擦除时间	T_A = -40~85℃	20		40	ms
I_{DD}	供电电流	读模式，f_{HCLK} = 36MHz，1个等待周期，V_{DD} = 3.3V			28	mA
		写模式，f_{HCLK} = 36MHz，V_{DD} = 3.3V			7	mA
		擦除模式，f_{HCLK} = 36MHz，V_{DD} = 3.3V			5	mA
		掉电模式/停机，V_{DD}=3.3~3.6V			50	μA
V_{prog}	编程电压		2		3.6	V

1. 由设计保证，不在生产中测试。

表30　闪存存储器寿命和数据保存期限

符号	参数	条件	最小值[1]	典型值	最大值	单位
N_{END}	寿命(译注：擦写次数)	T_A = -40~85°C	10			千次
t_{RET}	数据保存期限	T_A = 85°C时，1000次擦写[1]之后	30			年
		T_A = 55°C，1万次擦写[1]之后	20			

1. 由综合评估得出，不在生产中测试。
2. 循环测试均是在整个温度范围下进行。

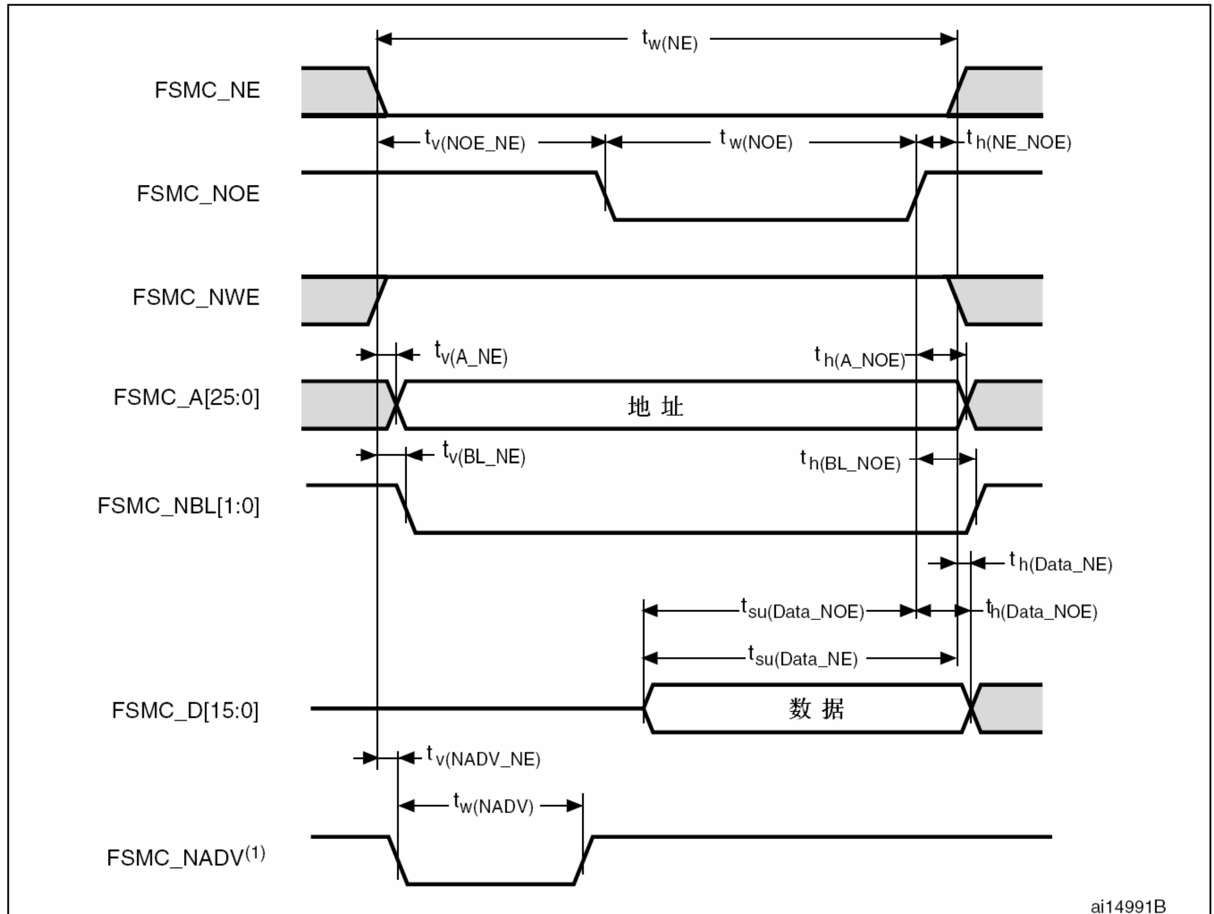
5.3.10 FSMC特性

异步波形和时序

图20至图23显示了异步的波形，表31至表34给出了相应的时序。这些表格中的结果是按照下述FSMC配置得到：

- 地址建立时间(AddressSetupTime) = 0
- 地址保持时间(AddressHoldTime) = 1
- 数据建立时间(DataSetupTime) = 1

图20　　异步非总线复用的SRAM/PSRAM/NOR读操作波形



1. 只适于模式2/B、C和D。在模式1，不使用FSMC_NADV。

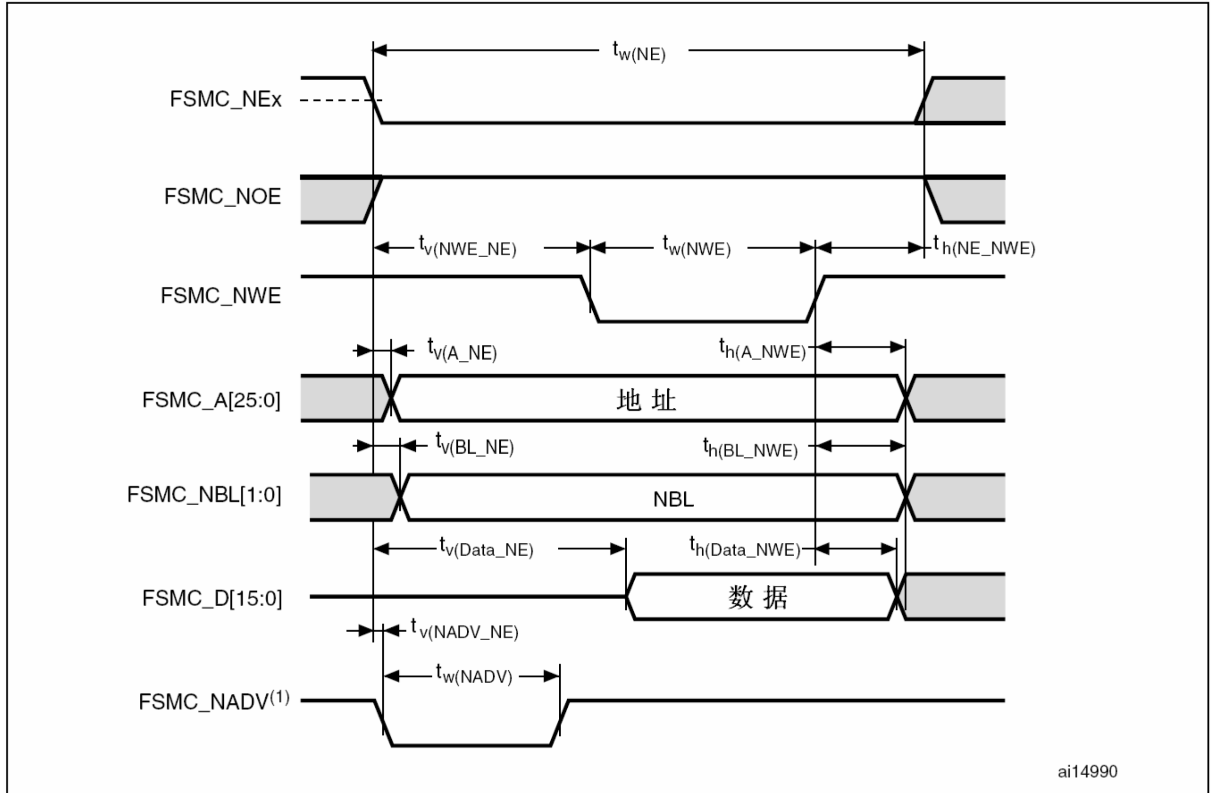
表31　异步非总线复用的SRAM/PSRAM/NOR读操作时序[1][2]

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	FSMC_NE低时间	$5T_{HCLK} - 1.5$	$5T_{HCLK} + 2$	ns
$t_{v(NOE_NE)}$	FSMC_NEx低至FSMC_NOE低	0.5	1.5	ns
$t_{w(NOE)}$	FSMC_NOE低时间	$5T_{HCLK} - 1.5$	$5T_{HCLK} + 1.5$	ns
$t_{h(NE_NOE)}$	FSMC_NOE高至FSMC_NE高保持时间	-1.5		ns
$t_{v(A_NE)}$	FSMC_NEx低至FSMC_A有效		7	ns
$t_{h(A_NOE)}$	FSMC_NOE高之后的地址保持时间	2.5		ns

$t_{v(BL_NE)}$	FSMC_NEx低至FSMC_BL有效		0	ns
$t_{h(BL_NOE)}$	FSMC_NOE高之后的FSMC_BL保持时间	2.5		ns
$t_{su(Data_NE)}$	数据至FSMC_NEx高的建立时间	$2T_{HCLK}$ + 25		ns
$t_{su(Data_NOE)}$	数据至FSMC_NOEx高的建立时间	$2T_{HCLK}$ + 25		ns
$t_{h(Data_NOE)}$	FSMC_NOE高之后的数据保持时间	0		ns
$t_{h(Data_NE)}$	FSMC_NEx高之后的数据保持时间	0		ns
$t_{v(NADV_NE)}$	FSMC_NEx低至FSMC_NADV低		5	ns
$t_{w(NADV)}$	FSMC_NADV低时间		T_{HCLK} + 1.5	ns

1. V_{DD_IO} = 3.3V，C_L = 15pF
2. 由综合评估得出，不在生产中测试。

图21 异步非总线复用的SRAM/PSRAM/NOR写操作波形



1. 只适于模式2/B、C和D。在模式1，不使用FSMC_NADV。

表32 异步非总线复用的SRAM/PSRAM/NOR写操作时序(1)(2)

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	FSMC_NE低时间	$3T_{HCLK}$ – 1	$3T_{HCLK}$ + 2	ns
$t_{v(NWE_NE)}$	FSMC_NEx低至FSMC_NWE低	T_{HCLK} – 0.5	T_{HCLK} + 1.5	ns
$t_{w(NWE)}$	FSMC_NWE低时间	T_{HCLK} – 0.5	T_{HCLK} + 1.5	ns
$t_{h(NE_NWE)}$	FSMC_NWE高至FSMC_NE高保持时间	T_{HCLK}		ns
$t_{v(A_NE)}$	FSMC_NEx低至FSMC_A有效		7.5	ns
$t_{h(A_NWE)}$	FSMC_NWE高之后的地址保持时间	T_{HCLK} + 2		ns
$t_{v(BL_NE)}$	FSMC_NEx低至FSMC_BL有效		1.5	ns
$t_{h(BL_NWE)}$	FSMC_NWE高之后的FSMC_BL保持时间	T_{HCLK} – 0.5		ns
$t_{v(Data_NE)}$	FSMC_NEx低至数据有效		T_{HCLK} + 7	ns
$t_{h(Data_NWE)}$	FSMC_NWE高之后的数据保持时间	T_{HCLK} + 3		ns
$t_{v(NADV_NE)}$	FSMC_NEx低至FSMC_NADV低		5.5	ns
$t_{w(NADV)}$	FSMC_NADV低时间		T_{HCLK} + 1.5	ns

1. V_{DD_IO} = 3.3V，C_L = 15pF
2. 由综合评估得出，不在生产中测试。

图22　异步总线复用PSRAM/NOR读操作波形

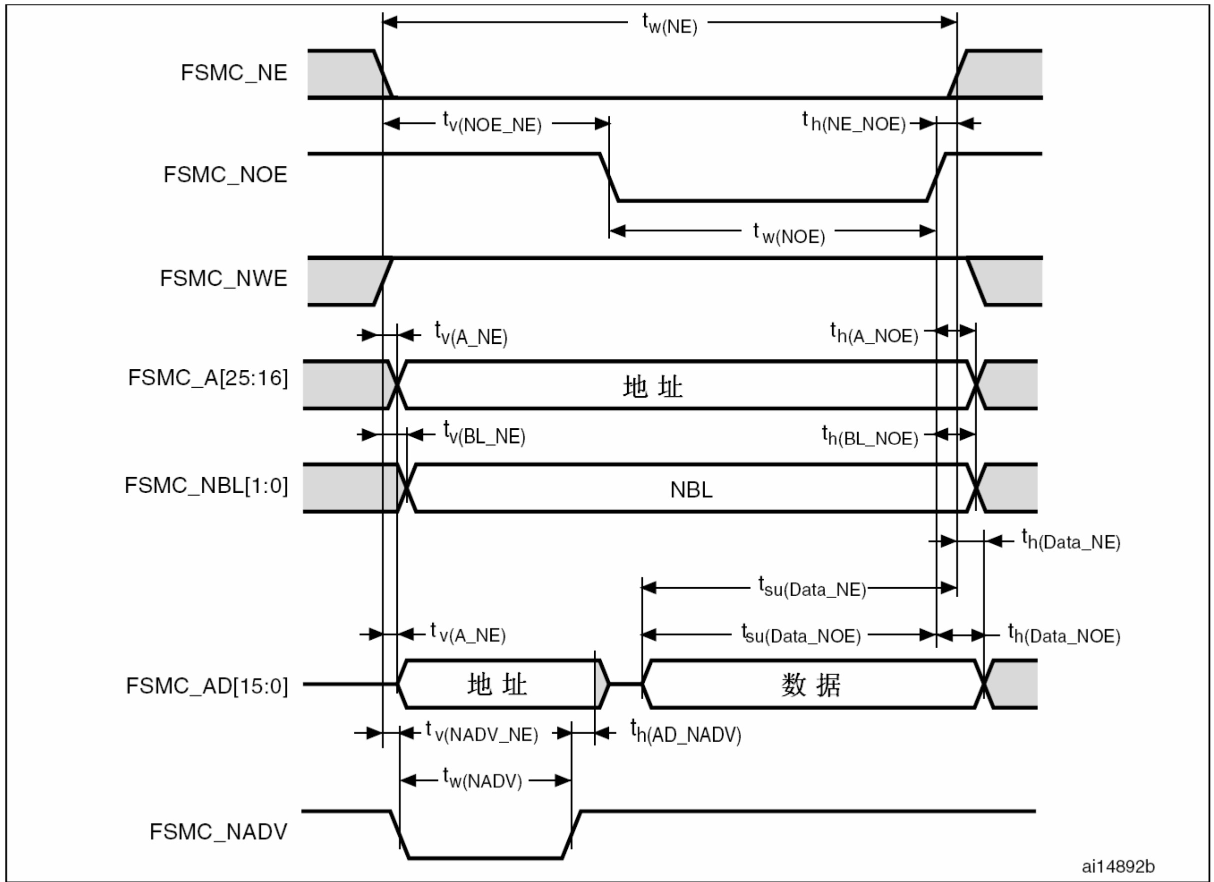


表33　异步总线复用的PSRAM/NOR读操作时序(1)(2)

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	FSMC_NE低时间	$7T_{HCLK} – 2$	$7T_{HCLK} + 2$	ns
$t_{v(NOE_NE)}$	FSMC_NEx低至FSMC_NOE低	$3T_{HCLK} – 0.5$	$3T_{HCLK} + 1.5$	ns
$t_{w(NOE)}$	FSMC_NOE低时间	$4T_{HCLK} – 1$	$4T_{HCLK} + 2$	ns
$t_{h(NE_NOE)}$	FSMC_NOE高至FSMC_NE高保持时间	-1		ns
$t_{v(A_NE)}$	FSMC_NEx低至FSMC_A有效		0	ns
$t_{v(NADV_NE)}$	FSMC_NEx低至FSMC_NADV低	3	5	ns
$t_{w(NADV)}$	FSMC_NADV低时间	$T_{HCLK} – 1.5$	$T_{HCLK} + 1.5$	ns
$t_{h(AD_NADV)}$	FSMC_NADV高之后FSMC_AD(地址)有效保持时间	$T_{HCLK} + 3$		ns
$t_{h(A_NOE)}$	FSMC_NOE高之后的地址保持时间	$T_{HCLK} + 3$		ns
$t_{h(BL_NOE)}$	FSMC_NOE高之后的FSMC_BL保持时间	0		ns
$t_{v(BL_NE)}$	FSMC_NEx低至FSMC_BL有效		0	ns
$t_{su(Data_NE)}$	数据至FSMC_NEx高的建立时间	$2T_{HCLK} + 24$		ns
$t_{su(Data_NOE)}$	数据至FSMC_NOEx高的建立时间	$2T_{HCLK} + 25$		ns
$t_{h(Data_NE)}$	FSMC_NEx高之后的数据保持时间	0		ns
$t_{h(Data_NOE)}$	FSMC_NOE高之后的数据保持时间	0		ns

1. $V_{DD_IO} = 3.3V$，$C_L = 15pF$
2. 由综合评估得出，不在生产中测试。

图23　　异步总线复用PSRAM/NOR写操作波形

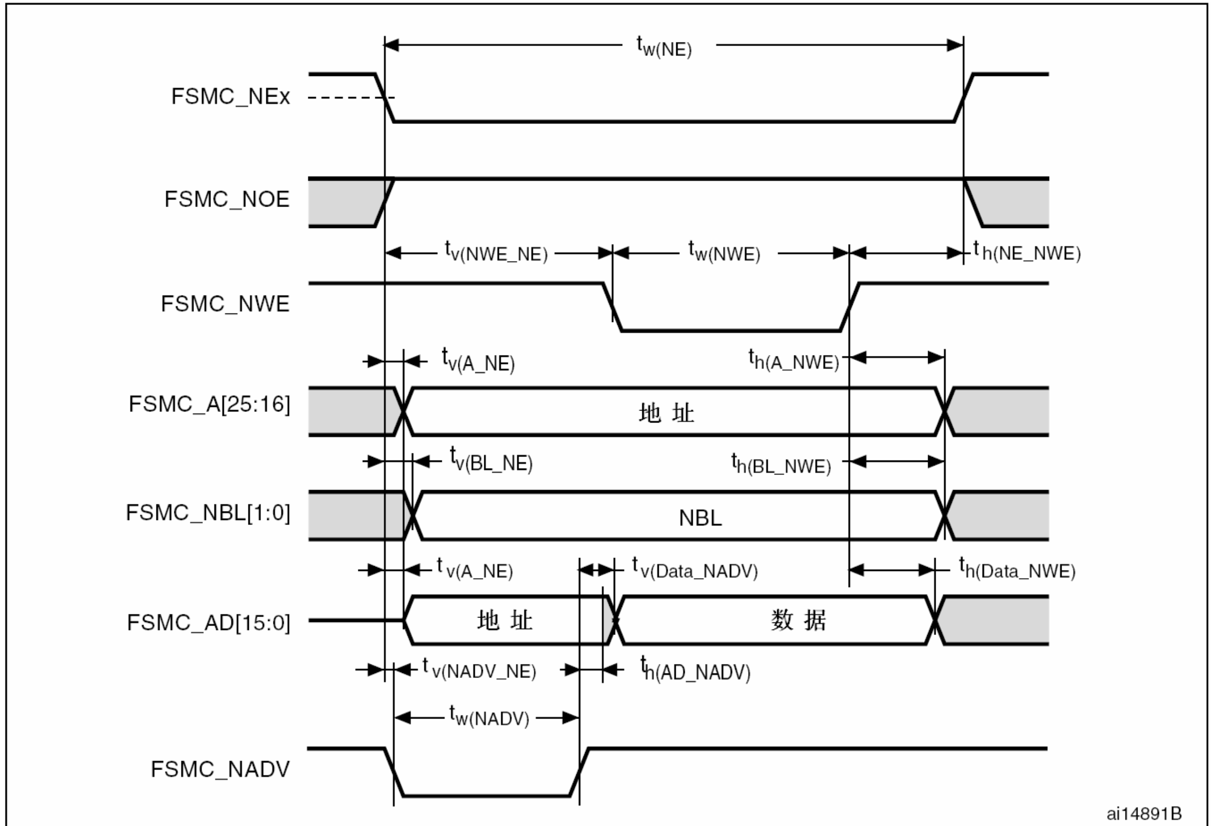


表34　异步总线复用的PSRAM/NOR写操作时序(1)(2)

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	FSMC_NE低时间	$5T_{HCLK} – 1$	$5T_{HCLK} + 2$	ns
$t_{v(NWE_NE)}$	FSMC_NEx低至FSMC_NWE低	$2T_{HCLK}$	$2T_{HCLK} + 1$	ns
$t_{w(NWE)}$	FSMC_NWE低时间	$2T_{HCLK} – 1$	$2T_{HCLK} + 2$	ns
$t_{h(NE_NWE)}$	FSMC_NWE高至FSMC_NE高保持时间	$T_{HCLK} – 1$		ns
$t_{v(A_NE)}$	FSMC_NEx低至FSMC_A有效		7	ns
$t_{v(NADV_NE)}$	FSMC_NEx低至FSMC_NADV低	3	5	ns
$t_{w(NADV)}$	FSMC_NADV低时间	$T_{HCLK} – 1$	$T_{HCLK} + 1$	ns
$t_{h(AD_NADV)}$	FSMC_NADV高之后FSMC_AD(地址)有效保持时间	$T_{HCLK} – 3$		ns
$t_{h(A_NWE)}$	FSMC_NWE高之后的地址保持时间	$4T_{HCLK} + 2.5$		ns
$t_{v(BL_NE)}$	FSMC_NEx低至FSMC_BL有效		1.6	ns
$t_{h(BL_NWE)}$	FSMC_NWE高之后的FSMC_BL保持时间	$T_{HCLK} – 1.5$		ns
$t_{v(Data_NADV)}$	FSMC_NADV高至数据保持时间		$T_{HCLK} + 1.5$	ns
$t_{h(Data_NWE)}$	FSMC_NWE高之后的数据保持时间	$T_{HCLK} – 5$		ns

1. $V_{DD_IO} = 3.3V$，$C_L = 15pF$
2. 由综合评估得出，不在生产中测试。

同步波形和时序

图24至图27显示了同步的波形，表35至表38给出了相应的时序。这些表格中的结果是按照下述FSMC配置得到：

- BurstAccessMode = FSMC_BurstAccessMode_Enable；(使能突发传输模式)
- MemoryType = FSMC_MemoryType_CRAM；(存储器类型为CRAM)
- WriteBurst = FSMC_WriteBurst_Enable；(使能突发写操作)
- CLKDivision = 1；(1个存储器周期=2个HCLK周期)(译注：CLKDivision是FSMC_BTRx寄存器中的CLKDIV位，参见STM32参考手册)

- 使用NOR闪存时，DataLatency = 1；使用PSRAM时，DataLatency = 0 (译注：DataLatency是FSMC_BTRx寄存器中的DATLAT位，参见STM32参考手册)

图24　　同步总线复用NOR/PSRAM读时序



表35　同步总线复用NOR/PSRAM读时序(1)(2)

符号	参数	最小值	最大值	单位
$t_{w(CLK)}$	FSMC_CLK周期	27.7		ns
$t_{d(CLKL-NExL)}$	FSMC_CLK低至FSMC_NEx低(x = 0…2)		1.5	ns
$t_{d(CLKH-NExH)}$	FSMC_CLK高至FSMC_NEx高(x = 0…2)	T_{HCLK} + 2		ns
$t_{d(CLKL-NADVL)}$	FSMC_CLK低至FSMC_NADV低		4	ns
$t_{d(CLKL-NADVH)}$	FSMC_CLK低至FSMC_NADV高	5		ns
$t_{d(CLKL-AV)}$	FSMC_CLK低至FSMC_Ax有效(x = 16…25)		0	ns
$t_{d(CLKH-AIV)}$	FSMC_CLK高至FSMC_Ax无效(x = 16…25)	T_{HCLK} + 2		ns
$t_{d(CLKL-NOEL)}$	FSMC_CLK低至FSMC_NOE低		T_{HCLK} + 1	ns
$t_{d(CLKH-NOEH)}$	FSMC_CLK高至FSMC_NOE高	T_{HCLK} + 0.5		ns
$t_{d(CLKL-ADV)}$	FSMC_CLK低至FSMC_AD[15:0]有效		12	ns
$t_{d(CLKL-ADIV)}$	FSMC_CLK低至FSMC_AD[15:0]无效	0		ns
$t_{su(ADV-CLKH)}$	FSMC_CLK高之前FSMC_AD[15:0]有效数据	6		ns
$t_{h(CLKH-ADV)}$	FSMC_CLK高之后FSMC_AD[15:0]有效数据	T_{HCLK} – 10		ns
$t_{su(NWAITV-CLKH)}$	FSMC_CLK高之前FSMC_NWAIT有效	8		ns
$t_{h(CLKH-NWAITV)}$	FSMC_CLK高之后FSMC_NWAIT有效	6		ns

1. V_{DD_IO} = 3.3V，C_L = 15pF
2. 由综合评估得出，不在生产中测试。

图25　　同步总线复用PSRAM写时序

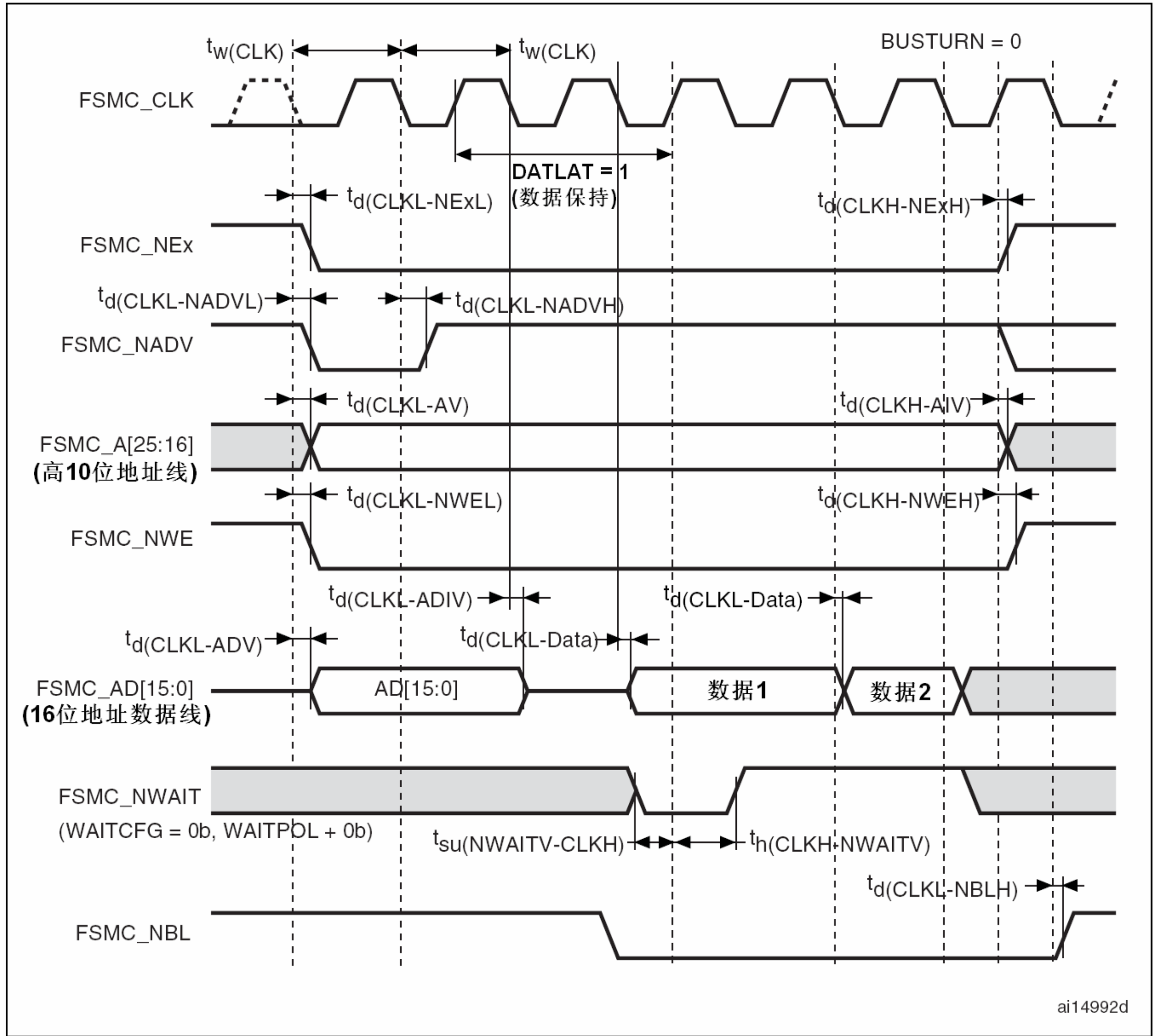


表36　同步总线复用PSRAM写时序(1)(2)

符号	参数	最小值	最大值	单位
$t_{w(CLK)}$	FSMC_CLK周期	27.7		ns
$t_{d(CLKL-NExL)}$	FSMC_CLK低至FSMC_NEx低(x = 0…2)		2	ns
$t_{d(CLKH-NExH)}$	FSMC_CLK高至FSMC_NEx高(x = 0…2)	T_{HCLK} + 2		ns
$t_{d(CLKL-NADVL)}$	FSMC_CLK低至FSMC_NADV低		4	ns
$t_{d(CLKL-NADVH)}$	FSMC_CLK低至FSMC_NADV高	5		ns
$t_{d(CLKL-AV)}$	FSMC_CLK低至FSMC_Ax有效(x = 16…25)		0	ns
$t_{d(CLKH-AIV)}$	FSMC_CLK高至FSMC_Ax无效(x = 16…25)	T_{HCLK} + 2		ns
$t_{d(CLKL-NWEL)}$	FSMC_CLK低至FSMC_NWE低		1	ns
$t_{d(CLKH-NWEH)}$	FSMC_CLK高至FSMC_NWE高	T_{HCLK} + 1		ns
$t_{d(CLKL-ADV)}$	FSMC_CLK低至FSMC_AD[15:0]有效		12	ns
$t_{d(CLKL-ADIV)}$	FSMC_CLK低至FSMC_AD[15:0]无效	3		ns
$t_{d(CLKL-Data)}$	FSMC_CLK低之后FSMC_AD[15:0]有效		6	ns
$t_{su(NWAITV-CLKH)}$	FSMC_CLK高之前FSMC_NWAIT有效	7		ns
$t_{h(CLKH-NWAITV)}$	FSMC_CLK高之后FSMC_NWAIT有效	2		ns
$t_{d(CLKL-NBLH)}$	FSMC_CLK低至FSMC_NBL高	1		ns

1. V_{DD_IO} = 3.3V，C_L = 15pF
2. 由综合评估得出，不在生产中测试。

图26　　同步非总线复用NOR/PSRAM读时序

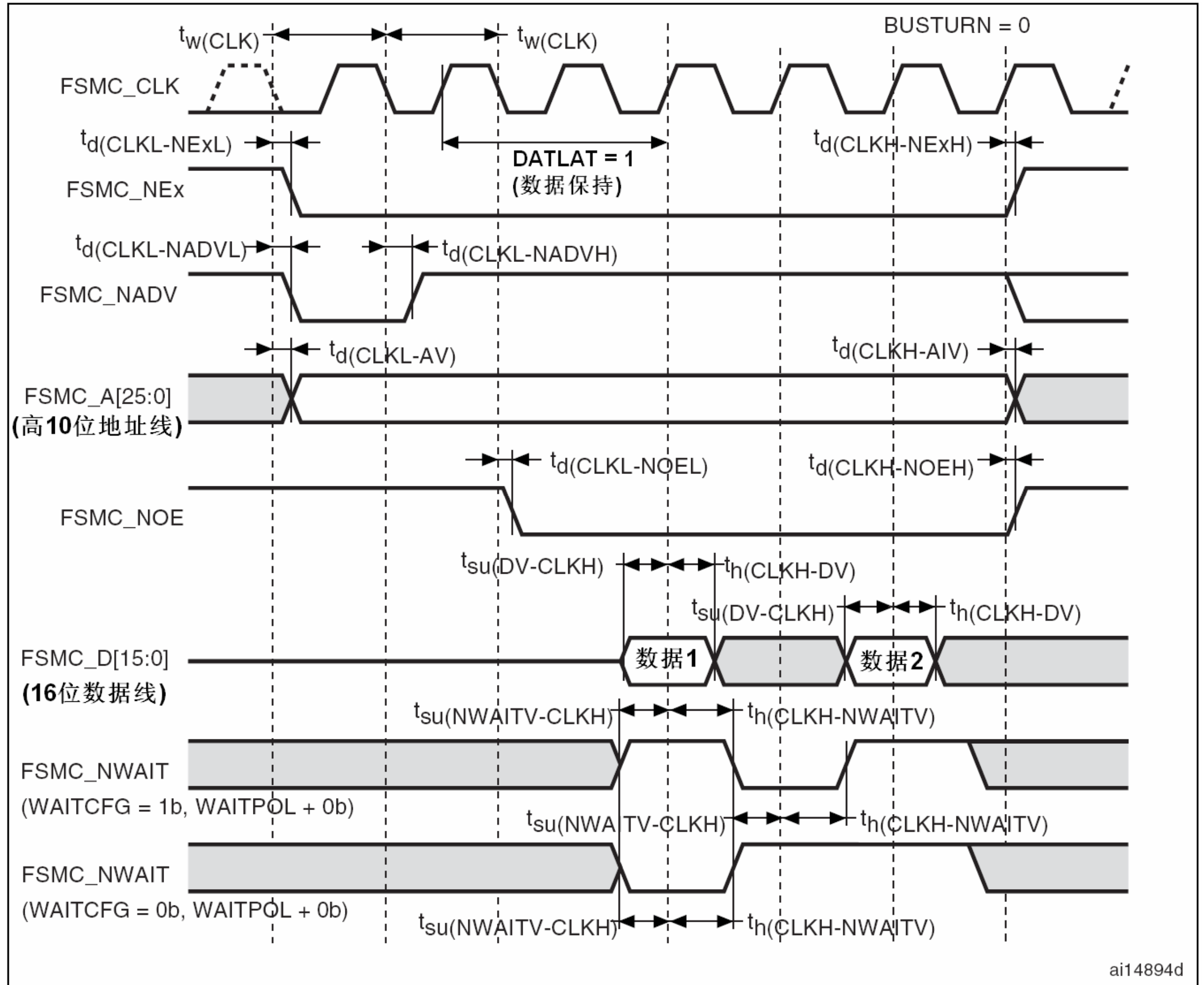


表37　同步非总线复用NOR/PSRAM读时序(1)(2)

符号	参数	最小值	最大值	单位
$t_{w(CLK)}$	FSMC_CLK周期	27.7		ns
$t_{d(CLKL-NExL)}$	FSMC_CLK低至FSMC_NEx低(x = 0…2)		1.5	ns
$t_{d(CLKH-NExH)}$	FSMC_CLK高至FSMC_NEx高(x = 0…2)	T_{HCLK} + 2		ns
$t_{d(CLKL-NADVL)}$	FSMC_CLK低至FSMC_NADV低		4	ns
$t_{d(CLKL-NADVH)}$	FSMC_CLK低至FSMC_NADV高	5		ns
$t_{d(CLKL-AV)}$	FSMC_CLK低至FSMC_Ax有效(x = 0…25)		0	ns
$t_{d(CLKH-AIV)}$	FSMC_CLK高至FSMC_Ax无效(x = 0…25)	T_{HCLK} + 4		ns
$t_{d(CLKL-NOEL)}$	FSMC_CLK低至FSMC_NOE低		T_{HCLK} + 1.5	ns
$t_{d(CLKH-NOEH)}$	FSMC_CLK高至FSMC_NOE高	T_{HCLK} + 1.5		ns
$t_{su(DV-CLKH)}$	FSMC_CLK高之前FSMC_D[15:0]有效数据	6.5		ns
$t_{h(CLKH-DV)}$	FSMC_CLK高之后FSMC_D[15:0]有效数据	7		ns
$t_{su(NWAITV-CLKH)}$	FSMC_CLK高之前FSMC_NWAIT有效	7		ns
$t_{h(CLKH-NWAITV)}$	FSMC_CLK高之后FSMC_NWAIT有效	2		ns

1. V_{DD_IO} = 3.3V，C_L = 15pF
2. 由综合评估得出，不在生产中测试。

图27　　同步非总线复用PSRAM写时序

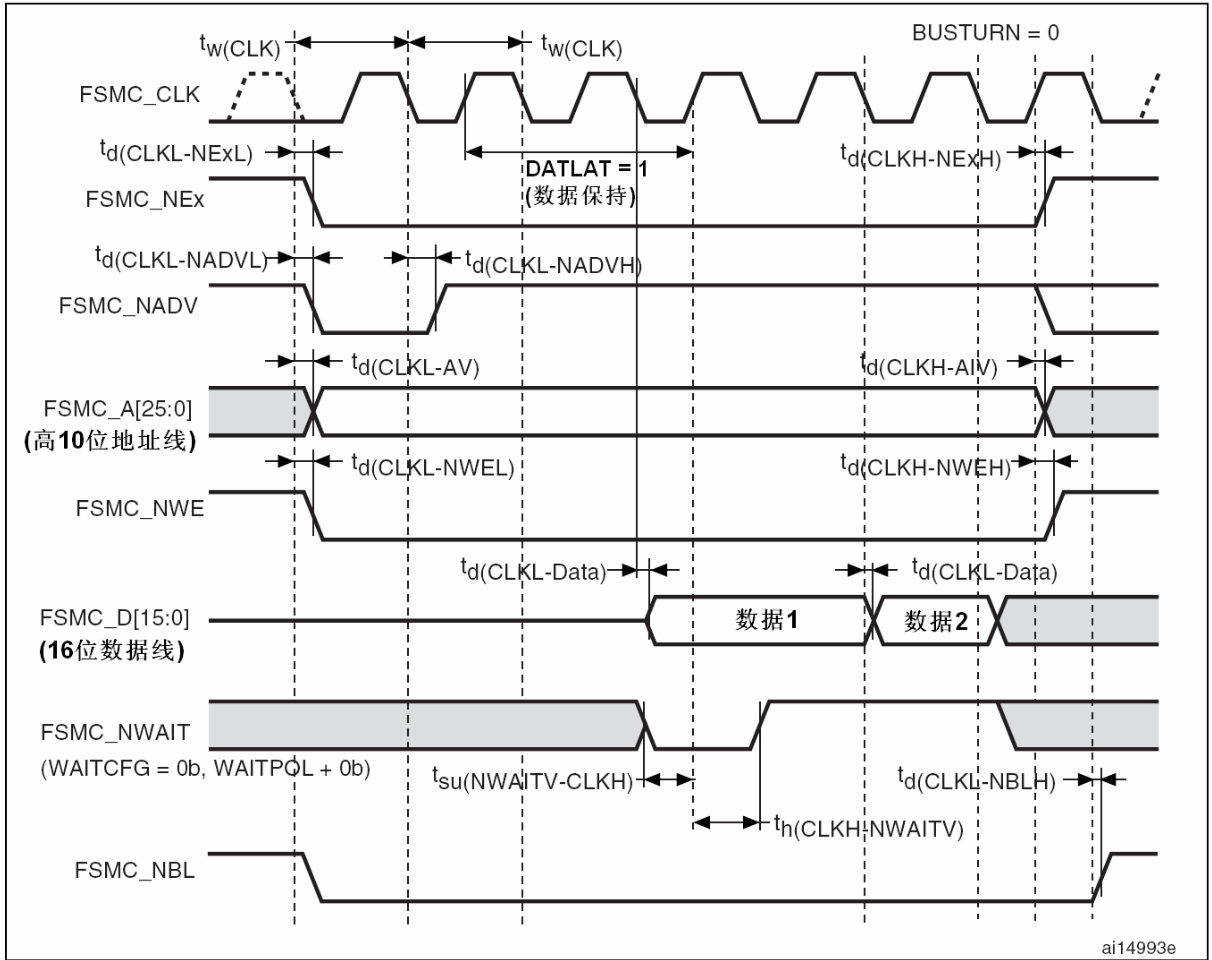


表38　同步非总线复用PSRAM写时序(1)(2)

符号	参数	最小值	最大值	单位
$t_{w(CLK)}$	FSMC_CLK周期	27.7		ns
$t_{d(CLKL-NExL)}$	FSMC_CLK低至FSMC_NEx低(x = 0…2)		2	ns
$t_{d(CLKH-NExH)}$	FSMC_CLK高至FSMC_NEx高(x = 0…2)	T_{HCLK} + 2		ns
$t_{d(CLKL-NADVL)}$	FSMC_CLK低至FSMC_NADV低		4	ns
$t_{d(CLKL-NADVH)}$	FSMC_CLK低至FSMC_NADV高	5		ns
$t_{d(CLKL-AV)}$	FSMC_CLK低至FSMC_Ax有效(x = 0…25)		0	ns
$t_{d(CLKH-AIV)}$	FSMC_CLK高至FSMC_Ax无效(x = 0…25)	T_{HCLK} + 2		ns
$t_{d(CLKL-NWEL)}$	FSMC_CLK低至FSMC_NWE低		1	ns
$t_{d(CLKH-NWEH)}$	FSMC_CLK高至FSMC_NWE高	T_{HCLK} + 1		ns
$t_{d(CLKL-Data)}$	FSMC_CLK低之后FSMC_D[15:0]有效数据		6	ns
$t_{su(NWAITV-CLKH)}$	FSMC_CLK高之前FSMC_NWAIT有效	7		ns
$t_{h(CLKH-NWAITV)}$	FSMC_CLK高之后FSMC_NWAIT有效	2		ns
$t_{d(CLKL-NBLH)}$	FSMC_CLK低至FSMC_NBL高	1		ns

1. V_{DD_IO} = 3.3V，C_L = 15pF
2. 由综合评估得出，不在生产中测试。

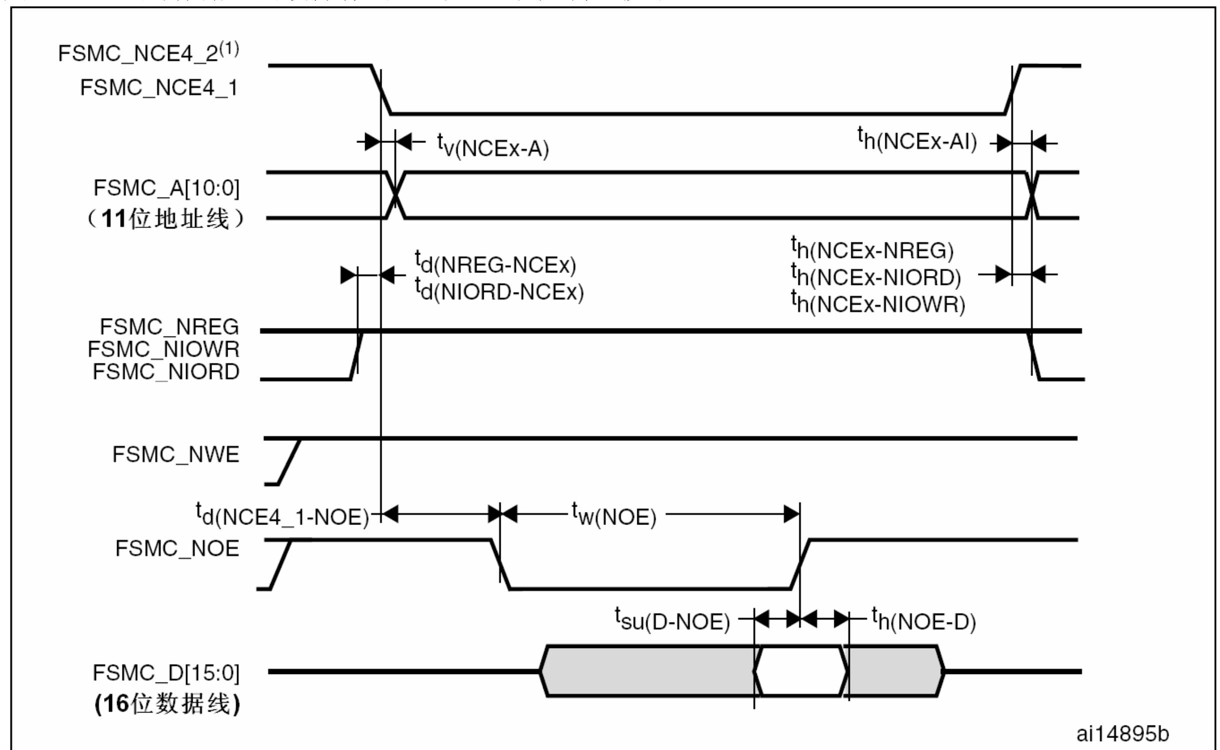
PC卡/CF卡控制器波形和时序

图28至图33显示了同步的波形，表39给出了相应的时序。这些表格中的结果是按照下述FSMC配置得到：

- COM.FSMC_SetupTime = 0x04；(译注：FSMC_PMEMx的MEMSET，x = 2…4)
- COM.FSMC_WaitSetupTime = 0x07；(译注：FSMC_PMEMx的MEMWAIT，x = 2…4)
- COM.FSMC_HoldSetupTime = 0x04；(译注：FSMC_PMEMx的MEMHOLD，x = 2…4)
- COM.FSMC_HiZSetupTime = 0x00；(译注：FSMC_PMEMx的MEMHIZ，x = 2…4)
- ATT.FSMC_SetupTime = 0x04；(译注：FSMC_PATTx的ATTSET，x = 2…4)
- ATT.FSMC_WaitSetupTime = 0x07；(译注：FSMC_PATTx的ATTWAIT，x = 2…4)
- ATT.FSMC_HoldSetupTime = 0x04；(译注：FSMC_PATTx的ATTHOLD，x = 2…4)
- ATT.FSMC_HiZSetupTime = 0x00；(译注：FSMC_PATTx的ATTHIZ，x = 2…4)
- IO.FSMC_SetupTime = 0x04；(译注：FSMC_PIOx的IOSET，x = 4)
- IO.FSMC_WaitSetupTime = 0x07；(译注：FSMC_PIOx的IOWAIT，x = 4)
- IO.FSMC_HoldSetupTime = 0x04；(译注：FSMC_PIOx的IOHOLD，x = 4)
- IO.FSMC_HiZSetupTime = 0x00；(译注：FSMC_PIOx的IOHIZ，x = 4)
- TCLRSetupTime = 0；(译注：FSMC_PCRx的TCLR)
- TARSetupTime = 0；(译注：FSMC_PCRx的TAR)

译注：关于以上寄存器(FSMC_PMEMx、FSMC_PATTx、FSMC_PIOx和FSMC_PCRx)的说明，详见STM32参考手册。

图28　　通用存储空间读操作的PC卡/CF卡控制器波形



1. FSMC_NCE4_2保持低(8位操作时为无效状态)。

图29　　通用存储空间写操作的PC卡/CF卡控制器波形

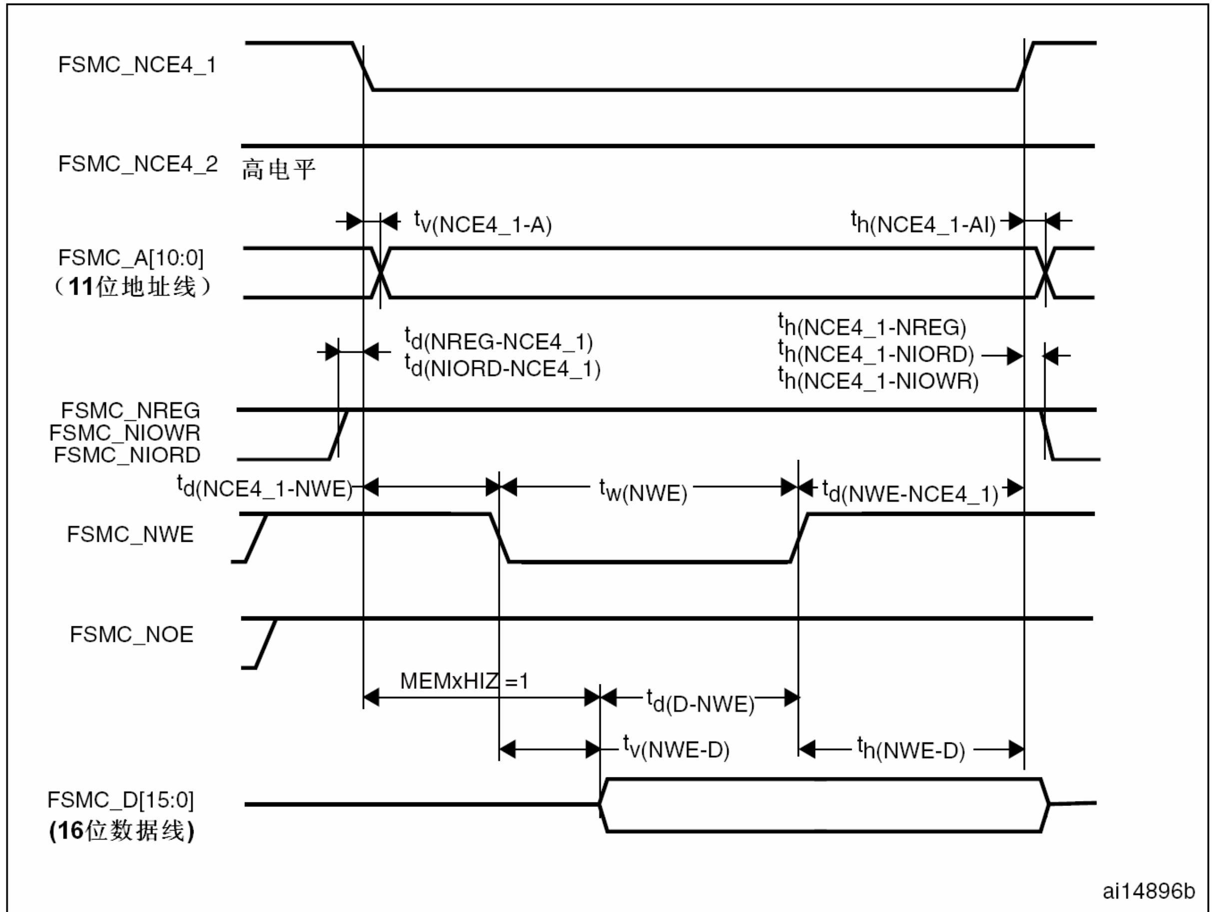
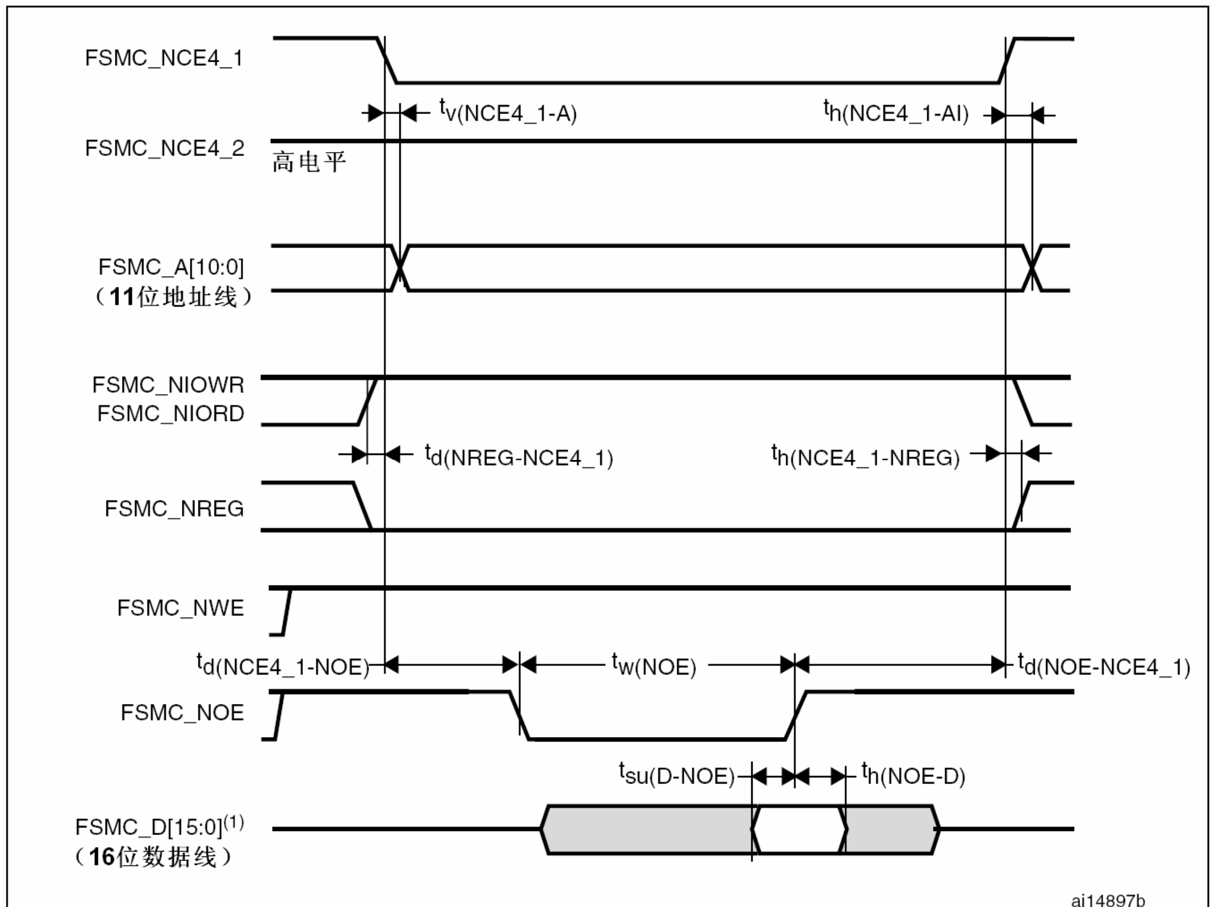
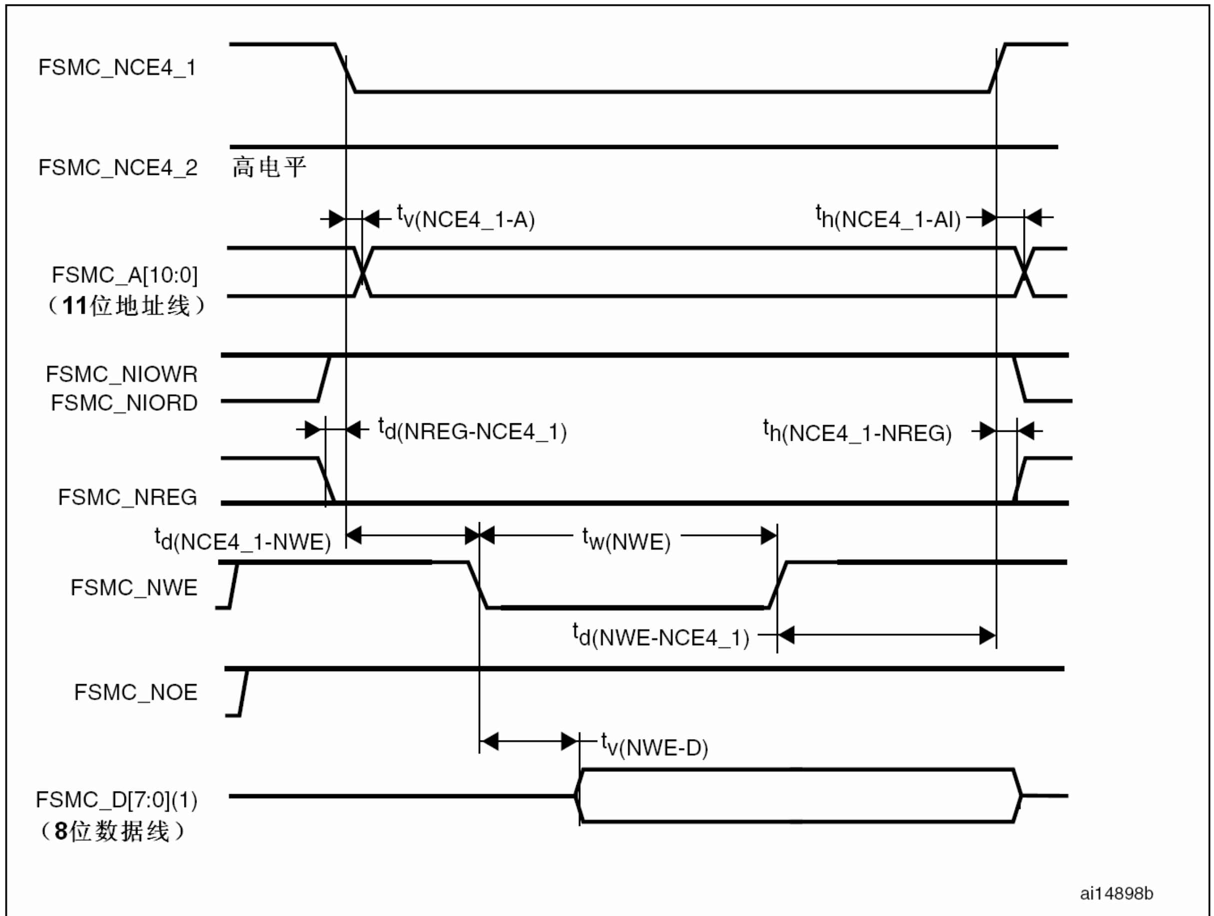


图30　　属性存储空间读操作的PC卡/CF卡控制器波形



1.　只使用数据位0~7(数据位8~15被丢弃)。

图31　　属性存储空间写操作的PC卡/CF卡控制器波形



1.　只输出数据位0~7(数据位8~15保持为高阻)。

图32　　I/O空间读操作的PC卡/CF卡控制器波形

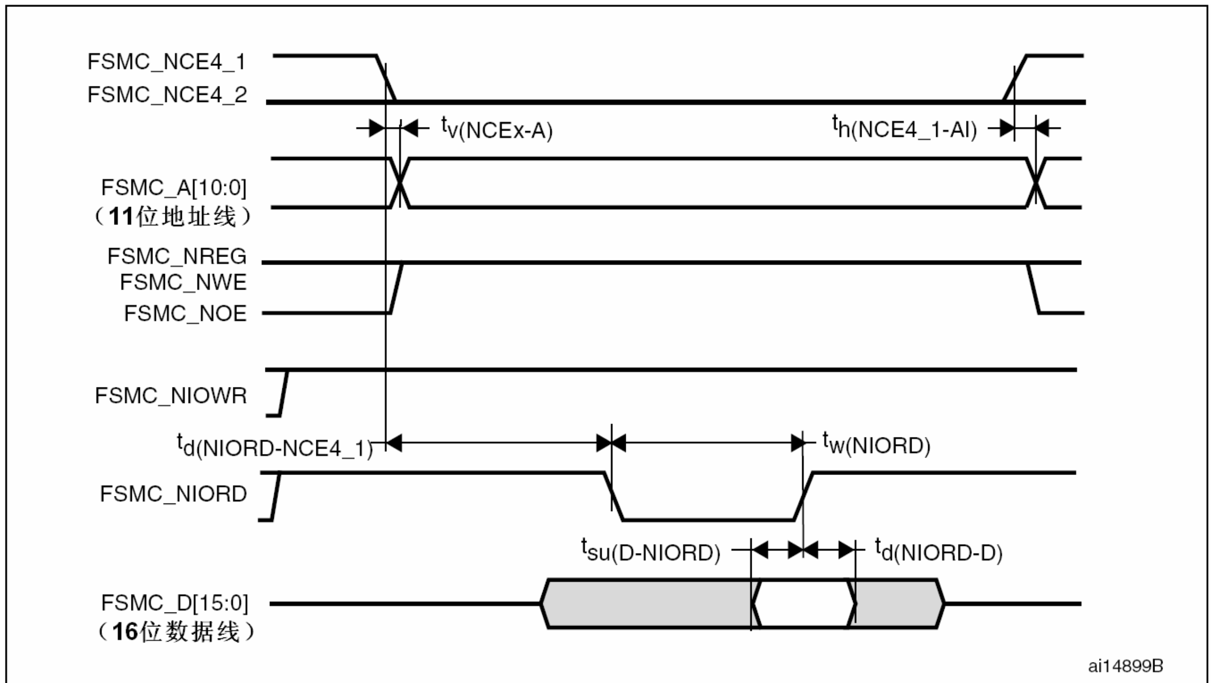


图33　　I/O空间写操作的PC卡/CF卡控制器波形

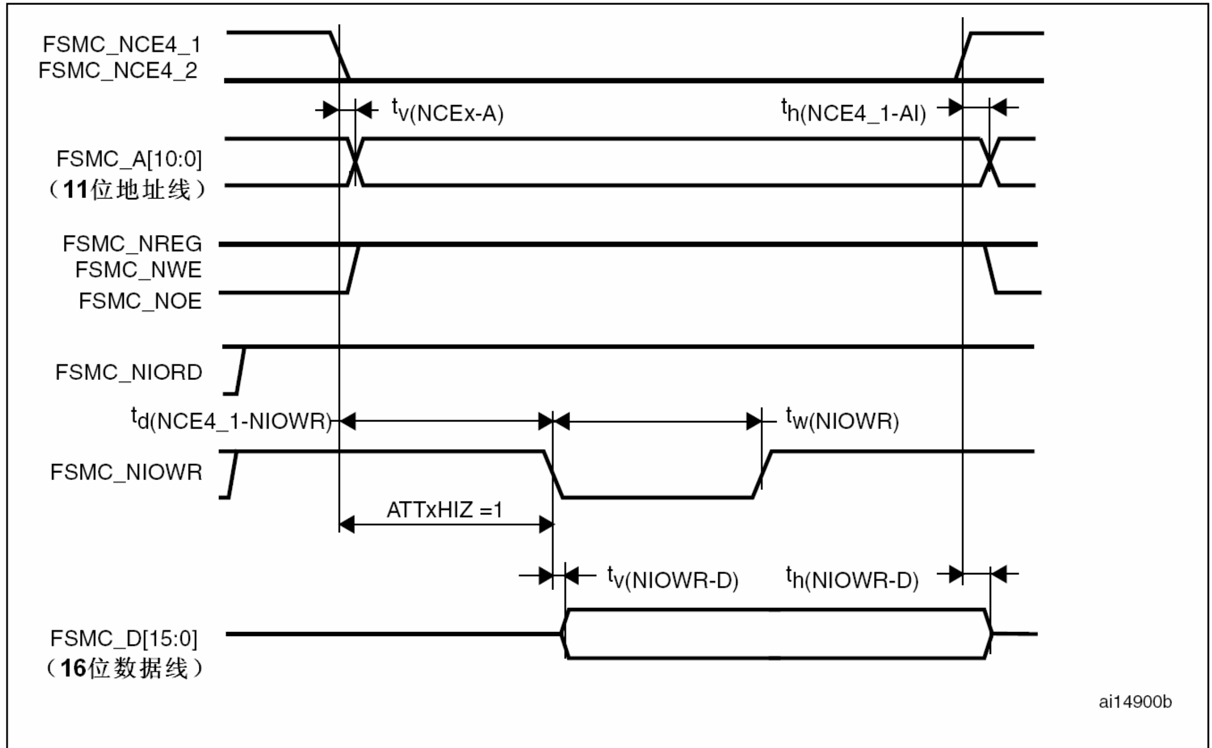


表39　PC卡/CF卡读写周期参数(1)(2)

符号	参数	最小值	最大值	单位
$t_{v(NCEx-A)}$ $t_{v(NCE4_1-A)}$	FSMC_NCEx(x = 4_1/4_2)低至FSMC_Ay(y =0...10)有效 FSMC_NCE4_1低至FSMC_Ay(y = 0...10)有效		0	ns
$t_{h(NCEx-AI)}$ $t_{h(NCE4_1-AI)}$	FSMC_NCEx(x = 4_1/4_2)高至FSMC_Ax(x =0...10)无效 FSMC_NCE4_1高至FSMC_Ax(x = 0...10)无效	2.5		ns
$t_{d(NREG-NCEx)}$ $t_{d(NREG-NCE4_1)}$	FSMC_NCEx低至FSMC_NREG有效 FSMC_NCE4_1低至FSMC_NREG有效		5	ns
$t_{h(NCEx-NREG)}$ $t_{h(NCE4_1-NREG)}$	FSMC_NCEx高至FSMC_NREG无效 FSMC_NCE4_1高至FSMC_NREG无效	$T_{HCLK} + 3$		ns
$t_{d(NCE4_1-NOE)}$	FSMC_NCE4_1低至FSMC_NOE低		$5T_{HCLK} + 2$	ns
$t_{w(NOE)}$	FSMC_NOE低时间	$8T_{HCLK} – 1.5$	$8T_{HCLK} + 1$	ns
$t_{d(NOE-NCE4_1)}$	FSMC_NOE高至FSMC_NCE4_1高	$5T_{HCLK} + 2$		ns
$t_{su(D-NOE)}$	FSMC_NOE高之前FSMC_D[15:0]数据有效	25		ns
$t_{h(NOE-D)}$	FSMC_NOE高之后FSMC_D[15:0]数据有效	15		ns
$t_{w(NWE)}$	FSMC_NWE低时间	$8T_{HCLK} – 1$	$8T_{HCLK} + 2$	ns
$t_{d(NWE-NCE4_1)}$	FSMC_NWE高至FSMC_NCE4_1高	$5T_{HCLK} + 2$		ns
$t_{d(NCE4_1-NWE)}$	FSMC_NCE4_1低至FSMC_NWE低		$5T_{HCLK} + 1.5$	ns
$t_{v(NWE-D)}$	FSMC_NWE低至FSMC_D[15:0]有效		0	ns
$t_{h(NWE-D)}$	FSMC_NWE高至FSMC_D[15:0]无效	$11T_{HCLK}$		ns
$t_{d(D-NWE)}$	FSMC_NWE高之前FSMC_D[15:0]有效	$13T_{HCLK}$		ns
$t_{w(NIOWR)}$	FSMC_NIOWR低时间	$8T_{HCLK} + 3$		ns
$t_{v(NIOWR-D)}$	FSMC_NIOWR低至FSMC_D[15:0]有效		$5T_{HCLK} + 1$	ns
$t_{h(NIOWR-D)}$	FSMC_NIOWR高至FSMC_D[15:0]无效	$11T_{HCLK}$		ns
$t_{d(NCE4_1-NIOWR)}$	FSMC_NCE4_1低至FSMC_NIOWR有效		$5T_{HCLK} + 3$	ns
$t_{h(NCEx-NIOWR)}$ $t_{h(NCE4_1-NIOWR)}$	FSMC_NCEx高至FSMC_NIOWR无效 FSMC_NCE4_1高至FSMC_NIOWR无效	$5T_{HCLK} – 5$		ns

$t_{d(NIORD-NCEx)}$ $t_{d(NIORD-NCE4_1)}$	FSMC_NCEx低至FSMC_NIORD有效 FSMC_NCE4_1低至FSMC_NIORD有效		$5T_{HCLK} + 2.5$	ns
$t_{h(NCEx-NIORD)}$ $t_{h(NCE4_1-NIORD)}$	FSMC_NCEx高至FSMC_NIORD无效 FSMC_NCE4_1高至FSMC_NIORD无效	$5T_{HCLK} – 5$		ns
$t_{su(D-NIORD)}$	FSMC_NIORD高之前FSMC_D[15:0]有效	4.5		ns
$t_{d(NIORD-D)}$	FSMC_NIORD高之后FSMC_D[15:0]有效	9		ns
$t_{w(NIORD)}$	FSMC_NIORD低时间	$8T_{HCLK} + 2$		ns

1. V_{DD_IO} = 3.3V，C_L = 15pF
2. 由综合评估得出，不在生产中测试。

NAND控制器波形和时序

图34至图37显示了同步的波形，表40给出了相应的时序。这些表格中的结果是按照下述FSMC配置得到：

- COM.FSMC_SetupTime = 0x01；(译注：FSMC_PMEMx的MEMSET，x = 2…4)
- COM.FSMC_WaitSetupTime = 0x03；(译注：FSMC_PMEMx的MEMWAIT，x = 2…4)
- COM.FSMC_HoldSetupTime = 0x02；(译注：FSMC_PMEMx的MEMHOLD，x = 2…4)
- COM.FSMC_HiZSetupTime = 0x01；(译注：FSMC_PMEMx的MEMHIZ，x = 2…4)
- ATT.FSMC_SetupTime = 0x01；(译注：FSMC_PATTx的ATTSET，x = 2…4)
- ATT.FSMC_WaitSetupTime = 0x03；(译注：FSMC_PATTx的ATTWAIT，x = 2…4)
- ATT.FSMC_HoldSetupTime = 0x02；(译注：FSMC_PATTx的ATTHOLD，x = 2…4)
- ATT.FSMC_HiZSetupTime = 0x01；(译注：FSMC_PATTx的ATTHIZ，x = 2…4)
- Bank = FSMC_Bank_NAND;
- MemoryDataWidth = FSMC_MemoryDataWidth_16b；(译注：存储器数据宽度=16位)
- ECC = FSMC_ECC_Enable；(译注：使能ECC计算)
- ECCPageSize = FSMC_ECCPageSize_512Bytes；(译注：ECC页大小=512字节)
- TCLRSetupTime = 0；(译注：FSMC_PCRx的TCLR)
- TARSetupTime = 0；(译注：FSMC_PCRx的TAR)

译注：关于以上寄存器(FSMC_PMEMx、FSMC_PATTx、FSMC_PIOx和FSMC_PCRx)的说明，详见STM32参考手册。

图34　　NAND控制器读操作波形

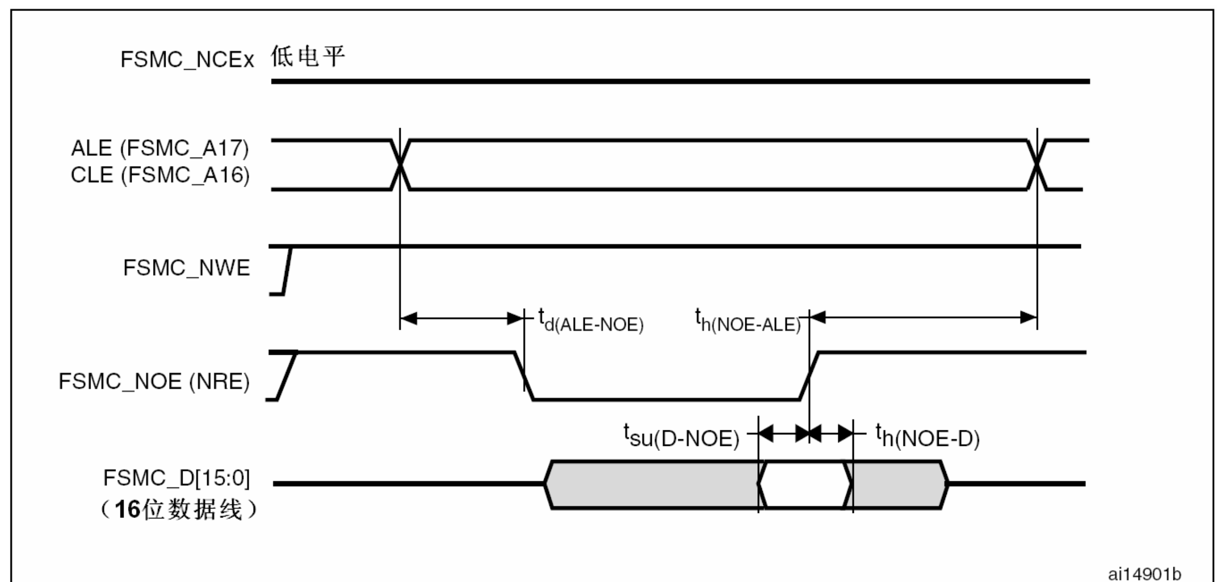


图35　　NAND控制器写操作波形

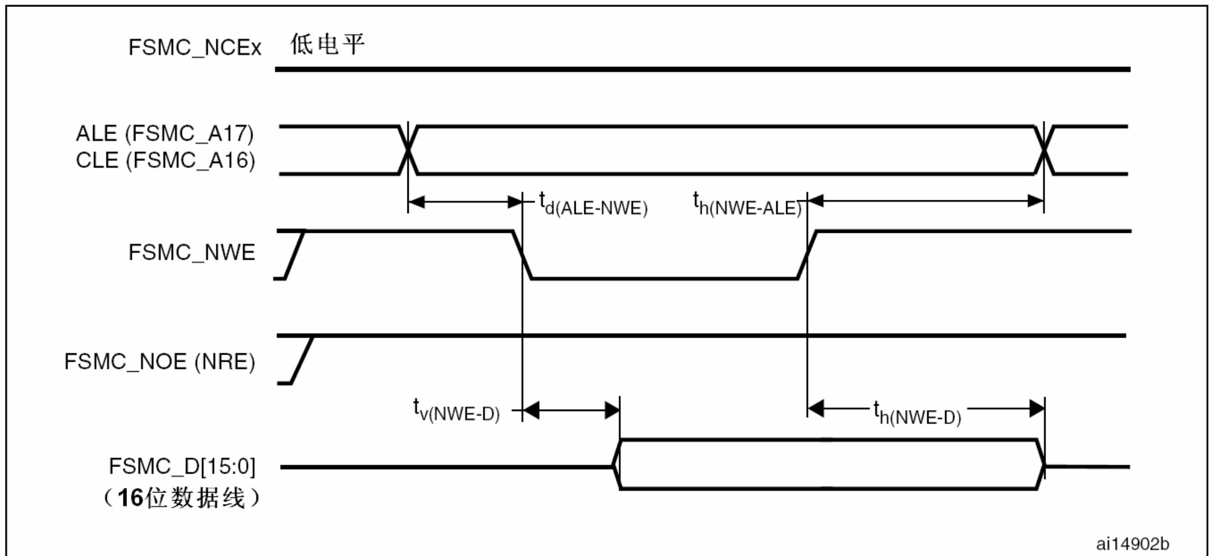


图36　　NAND控制器在通用存储空间的读操作波形

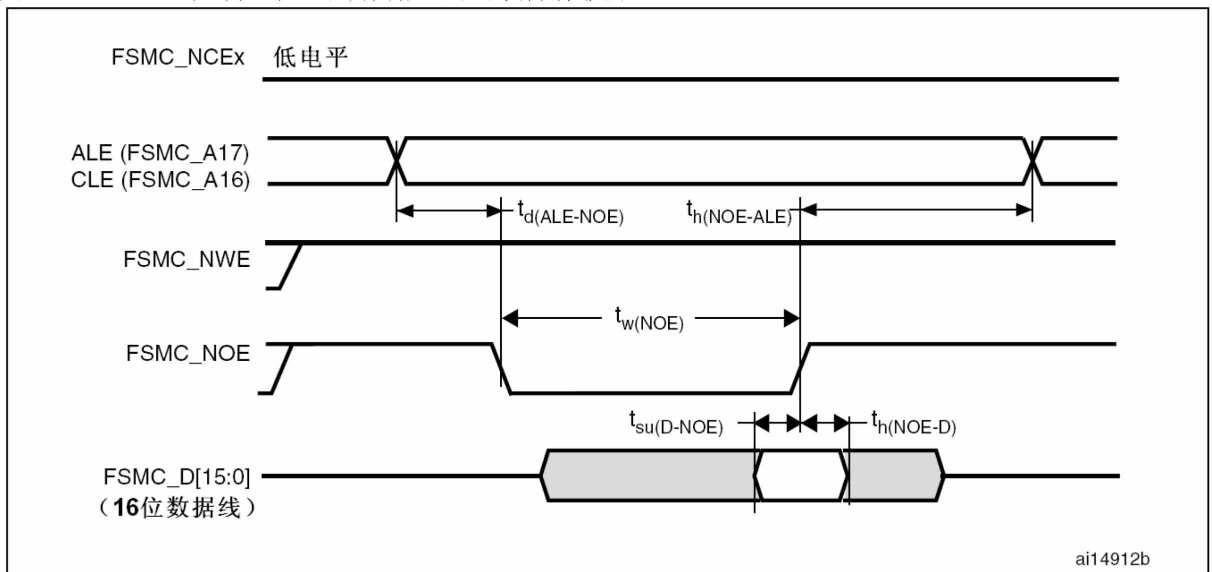


图37　　NAND控制器在通用存储空间的写操作波形

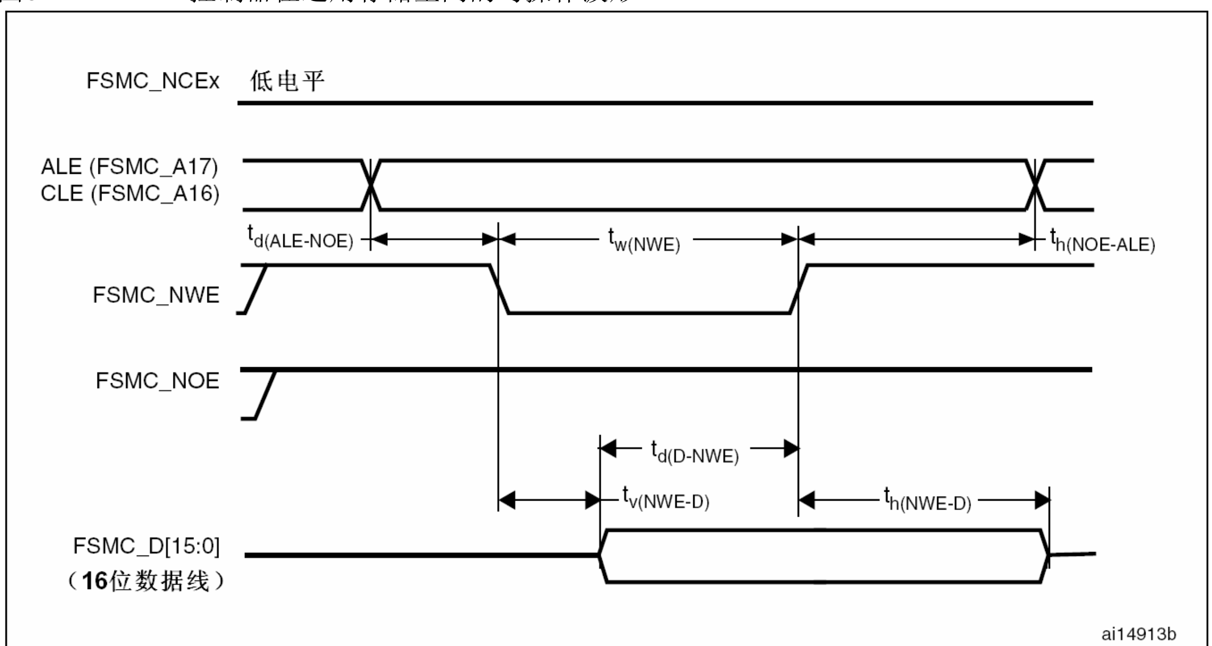


表40 NAND闪存读写周期的时序特性(1)

符号	参数	最小值	最大值	单位
$t_{d(D-NWE)}$(2)	FSMC_NWE高之前至FSMC_D[15:0]数据有效	$6T_{HCLK} + 12$		ns
$t_{w(NOE)}$(2)	FSMC_NOE低时间	$4T_{HCLK} – 1.5$	$4T_{HCLK} + 1.5$	ns
$t_{su(D-NOE)}$(2)	FSMC_NOE高之前至FSMC_D[15:0]数据有效	25		ns
$t_{h(NOE-D)}$(2)	FSMC_NOE高之后至FSMC_D[15:0]数据有效	14		ns
$t_{w(NWE)}$(2)	FSMC_NWE低时间	$4T_{HCLK} – 1$	$4T_{HCLK} + 2.5$	ns
$t_{v(NWE-D)}$(2)	FSMC_NWE低至FSMC_D[15:0]数据有效		0	ns
$t_{h(NWE-D)}$(2)	FSMC_NWE高至FSMC_D[15:0]数据无效	$10T_{HCLK} + 4$		ns
$t_{d(ALE-NWE)}$(3)	FSMC_NWE低之前至FSMC_ALE有效		$3T_{HCLK} + 1.5$	ns
$t_{h(NWE-ALE)}$(3)	FSMC_NWE高至FSMC_ALE无效	$3T_{HCLK} + 4.5$		ns
$t_{d(ALE-NOE)}$(3)	FSMC_NOE低之前至FSMC_ALE有效		$3T_{HCLK} + 2$	ns
$t_{h(NOE-ALE)}$(3)	FSMC_NOE高至FSMC_ALE无效	$3T_{HCLK} + 4.5$		ns

1. V_{DD_IO} = 3.3V，C_L = 15pF
2. 由综合评估得出，不在生产中测试。
3. 由设计保证，不在生产中测试。

5.3.11 EMC特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性EMS(电磁敏感性)

当运行一个简单的应用程序时(通过I/O端口闪烁2个LED)，测试样品被施加2种电磁干扰直到产生错误，LED闪烁指示了错误的产生。

- **静电放电(ESD)**(正放电和负放电)施加到芯片所有的引脚直到产生功能性错误。这个测试符合IEC 1000-4-2标准。
- **FTB：**在V_{DD}和V_{SS}上通过一个100pF的电容施加一个瞬变电压的脉冲群(正向和反向)直到产生功能性错误。这个测试符合IEC 1000-4-4标准。

芯片复位可以使系统恢复正常操作。

测试结果列于下表中。这是基于应用笔记AN1709中定义的EMS级别和类型进行的测试。

表41 EMS特性

符号	参数	条件	级别/类型
V_{FESD}	施加到任一I/O脚，从而导致功能错误的电压极限。	V_{DD} = 3.3V，LQFP144，T_A = +25 °C，f_{HCLK} = 36MHz。符合IEC 1000-4-2	2B
V_{EFTB}	在V_{DD}和V_{SS}上通过100pF的电容施加的、导致功能错误的瞬变脉冲群电压极限。	V_{DD} = 3.3V，LQFP144，T_A = +25 °C，f_{HCLK} = 36MHz。符合IEC 1000-4-4	2A

设计牢靠的软件以避免噪声的问题

在器件级进行EMC的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的EMC性能与用户应用和具体的软件密切相关。

因此，建议用户对软件实行EMC优化，并进行与EMC有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏(控制寄存器等……)

认证前的试验

很多常见的失效(意外的复位和程序计数器被破坏)，可以通过人工地在NRST上引入一个低电平或在晶振引脚上引入一个持续1秒的低电平而重现。

在进行ESD测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误(参见应用笔记AN1015)。

电磁干扰(EMI)

在运行一个简单的应用程序时(通过I/O端口闪烁2个LED)，监测芯片发射的电磁场。这个发射测试符合SAE J1752/3标准，这个标准规定了测试板和引脚的负载。

表42 EMI特性

符号	参数	条件	监测的频段	最大值(f_{HSE}/f_{HCLK})	单位
				8/36MHz	
S_{EMI}	峰值	V_{DD} = 3.3 V，T_A = 25 °C，LQFP144封装 符合SAE J1752/3	0.1~30MHz	8	dBµV
			30~130MHz	27	
			130MHz~1GHz	26	
			SAM EMI级别	4	-

5.3.12 绝对最大值(电气敏感性)

基于三个不同的测试(ESD，LU)，使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关(3片 x (n+1)供电引脚)。这个测试符合JESD22-A114/C101标准。

表43 ESD绝对最大值

符号	参数	条件	类型	最大值(1)	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	T_A = +25 °C，符合JESD22-A114	2	2000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	T_A = +25 °C，符合JESD22-C101	II	500	

1. 由综合评估得出，不在生产中测试。

静态栓锁

为了评估栓锁性能，需要在6个样品上进行2个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的I/O引脚上注入电流。

这个测试符合EIA/JESD 78A集成电路栓锁标准。

表44 电气敏感性

符号	参数	条件	类型
LU	静态栓锁类	T_A = +85 °C，符合JESD 78A	II 类A

5.3.13 I/O端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表10的条件测量得到。所有的I/O端口都是兼容CMOS和TTL。

表45　I/O静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	TTL端口	-0.5		0.8	V
V_{IH}	标准I/O脚，输入高电平电压		2		V_{DD}+0.5	
	FT I/O脚[1]，输入高电平电压		2		5.5	
V_{IL}	输入低电平电压	CMOS端口	-0.5		0.35V_{DD}	V
V_{IH}	输入高电平电压		0.65V_{DD}		V_{DD}+0.5	
V_{hys}	标准I/O脚施密特触发器电压迟滞[2]		200			mV
	5V容忍I/O脚施密特触发器电压迟滞[2]		5%V_{DD}[3]			mV
I_{lkg}	输入漏电流[4]	$V_{SS} \leq V_{IN} \leq V_{DD}$ 标准I/O端口			±1	μA
		V_{IN} = 5V， 5V容忍端口			3	
R_{PU}	弱上拉等效电阻[5]	$V_{IN} = V_{SS}$	30	40	50	kΩ
R_{PD}	弱下拉等效电阻[5]	$V_{IN} = V_{DD}$	30	40	50	kΩ
C_{IO}	I/O引脚的电容			5		pF

1. FT = 5V容忍。
2. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。
3. 至少100mV。
4. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
5. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的PMOS/NMOS实现。这个PMON/NMOS开关的电阻很小(约占10%)。

所有I/O端口都是CMOS和TTL兼容(不需软件配置)，它们的特性考虑了多数严格的CMOS工艺或TTL参数：

- 对于V_{IH}：
  - 如果V_{DD}是介于[2.00V~3.08V]；使用CMOS特性但包含TTL。
  - 如果V_{DD}是介于[3.08V~3.60V]；使用TTL特性但包含CMOS。
- 对于V_{IL}：
  - 如果V_{DD}是介于[2.00V~2.28V]；使用TTL特性但包含CMOS。
  - 如果V_{DD}是介于[2.28V~3.60V]；使用CMOS特性但包含TTL。

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达+/-8mA电流，并且吸收+20mA电流(不严格的V_{OL})。

在用户应用中，I/O脚的数目必须保证驱动电流不能超过5.2节给出的绝对最大额定值：

- 所有I/O端口从V_{DD}上获取的电流总和，加上MCU在V_{DD}上获取的最大运行电流，不能超过绝对最大额定值I_{VDD}(参见表8)。
- 所有I/O端口吸收并从V_{SS}上流出的电流总和，加上MCU在V_{SS}上流出的最大运行电流，不能超过绝对最大额定值I_{VSS}(参见表8)。

输出电压

除非特别说明，表46列出的参数是使用环境温度和V_{DD}供电电压符合表10的条件测量得到。所有的I/O端口都是兼容CMOS和TTL的。

表46 输出电压特性

符号	参数	条件	最小值	最大值	单位
V_{OL}[1]	输出低电平，当8个引脚同时吸收电流	TTL端口，I_{IO} = +8mA 2.7V < V_{DD} < 3.6V		0.4	V
V_{OH}[2]	输出高电平，当8个引脚同时输出电流		V_{DD}-0.4		
V_{OL}[1]	输出低电平，当8个引脚同时吸收电流	CMOS端口，I_{IO} = +8mA 2.7V < V_{DD} < 3.6V		0.4	V
V_{OH}[2]	输出高电平，当8个引脚同时输出电流		2.4		
V_{OL}[1]	输出低电平，当8个引脚同时吸收电流	I_{IO} = +20mA[3] 2.7V < V_{DD} < 3.6V		1.3	V
V_{OH}[2]	输出高电平，当8个引脚同时输出电流		V_{DD}-1.3		
V_{OL}[1]	输出低电平，当8个引脚同时吸收电流	I_{IO} = +6mA[3] 2V < V_{DD} < 2.7V		0.4	V
V_{OH}[2]	输出高电平，当8个引脚同时输出电流		V_{DD}-0.4		

1. 芯片吸收的电流I_{IO}必须始终遵循表8中给出的绝对最大额定值，同时I_{IO}的总和(所有I/O脚和控制脚)不能超过I_{VSS}。
2. 芯片输出的电流I_{IO}必须始终遵循表8中给出的绝对最大额定值，同时I_{IO}的总和(所有I/O脚和控制脚)不能超过I_{VDD}。
3. 由综合评估得出，不在生产中测试。

输入输出交流特性

输入输出交流特性的定义和数值分别在图38和表47给出。

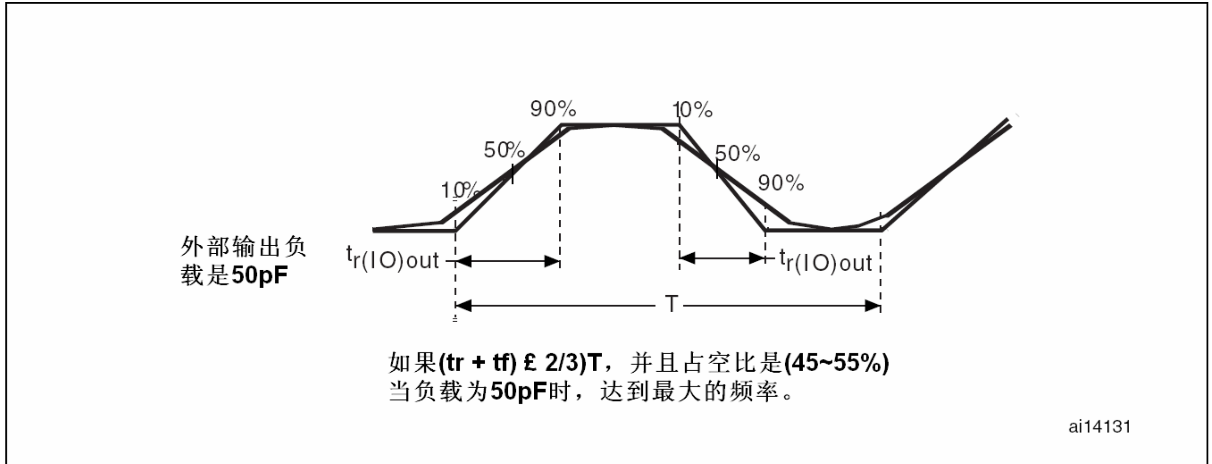
除非特别说明，表47列出的参数是使用环境温度和V_{DD}供电电压符合表10的条件测量得到。

表47 输入输出交流特性[1]

MODEx[1:0]的配置[1]	符号	参数	条件	最小值	最大值	单位
10 (2MHz)	$f_{max(IO)out}$	最大频率[2]	C_L = 50 pF, V_{DD} = 2~3.6V		2	MHz
	$t_{f(IO)out}$	输出高至低电平的下降时间	C_L = 50 pF, V_{DD} = 2~3.6V		125[3]	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间			125[3]	
01 (10MHz)	$f_{max(IO)out}$	最大频率[2]	C_L = 50 pF, V_{DD} = 2~3.6V		10	MHz
	$t_{f(IO)out}$	输出高至低电平的下降时间	C_L = 50 pF, V_{DD} = 2~3.6V		25[3]	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间			25[3]	
11 (50MHz)	$f_{max(IO)out}$	最大频率[2]	C_L = 30 pF, V_{DD} = 2.7~3.6V		50	MHz
			C_L = 50 pF, V_{DD} = 2.7~3.6V		30	
			C_L = 50 pF, V_{DD} = 2~2.7V		20	
	$t_{f(IO)out}$	输出高至低电平的下降时间	C_L = 30 pF, V_{DD} = 2.7~3.6V		5[3]	ns
			C_L = 50 pF, V_{DD} = 2.7~3.6V		8[3]	
			C_L = 50 pF, V_{DD} = 2~2.7V		12[3]	
	$t_{r(IO)out}$	输出低至高电平的上升时间	C_L = 30 pF, V_{DD} = 2.7~3.6V		5[3]	
			C_L = 50 pF, V_{DD} = 2.7~3.6V		8[3]	
			C_L = 50 pF, V_{DD} = 2~2.7V		12[3]	
-	t_{EXTIpw}	EXTI控制器检测到外部信号的脉冲宽度		10		ns

1. I/O端口的速度可以通过MODEx[1:0]配置。参见STM32F10xxx参考手册中有关GPIO端口配置寄存器的说明。
2. 最大频率在图38中定义。
3. 由设计保证，不在生产中测试。

图38 输入输出交流特性定义



5.3.14 NRST引脚特性

NRST引脚输入驱动使用CMOS工艺，它连接了一个不能断开的上拉电阻，R_{PU}(参见表45)。

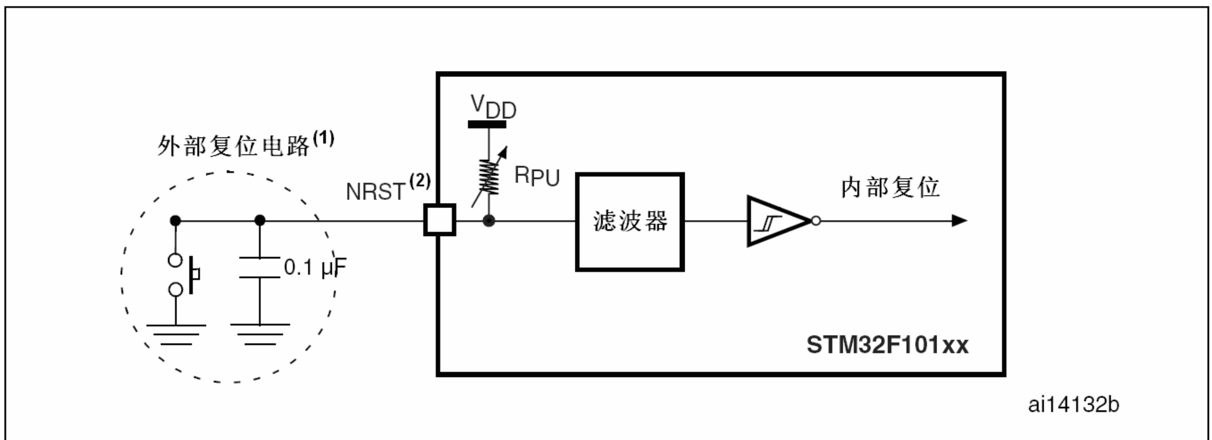
除非特别说明，表48列出的参数是使用环境温度和V_{DD}供电电压符合表10的条件测量得到。

表48 NRST引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$(1)	NRST输入低电平电压		-0.5		0.8	V
$V_{IH(NRST)}$(1)	NRST输入高电平电压		2		V_{DD}+0.5	
$V_{hys(NRST)}$	NRST施密特触发器电压迟滞			200		mV
R_{PU}	弱上拉等效电阻(2)	$V_{IN} = V_{SS}$	30	40	50	kΩ
$V_{F(NRST)}$(1)	NRST输入滤波脉冲				100	ns
$V_{NF(NRST)}$(1)	NRST输入非滤波脉冲		300			ns

1. 由设计保证，不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的PMOS实现。这个PMON/NMOS开关的电阻很小(约占10%)。

图39 建议的NRST引脚保护



1. 复位网络是为了防止寄生复位。
2. 用户必须保证NRST引脚的电位能够低于表48中列出的最大$V_{IL(NRST)}$以下，否则MCU不能得到复位。

5.3.15 TIM定时器特性

表49列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM输出)的特性详情，参见第5.3.13节。

表49 TIMx[(1)]特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间		1		$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 36MHz	27.8		ns
f_{EXT}	CH1至CH4的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK}$ = 36MHz	0	18	MHz
Res_{TIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时，16位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 36MHz	0.0278	1820	μs
t_{MAX_COUNT}	最大可能的计数			65536 x 65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 36MHz		119.2	s

1. TIMx是一个通用的名称，代表TIM2~TIM7。

5.3.16 通信接口

I^2C接口特性

除非特别说明，表50列出的参数是使用环境温度，f_{PCLK1}频率和V_{DD}供电电压符合表10的条件测量得到。

STM32F101xC、STM32F101xD和STM32F101xE基本型产品的I^2C接口符合标准I^2C通信协议，但有如下限制：SDA和SCL不是"真"开漏的引脚，当配置为开漏输出时，在引出脚和V_{DD}之间的PMOS管被关闭，但仍然存在。

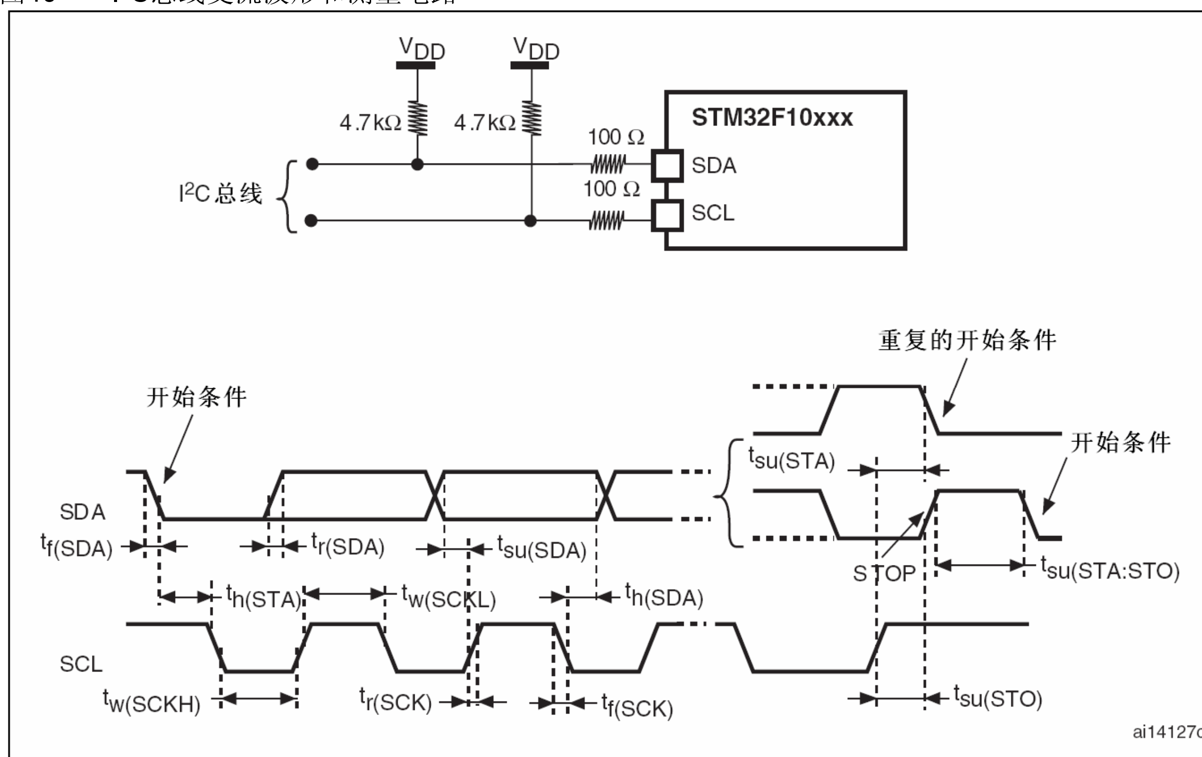
I^2C接口特性列于表50，有关输入输出复用功能引脚(SDA和SCL)的特性详情，参见第5.3.13节。

表50 I^2C接口特性

符号	参数	标准I^2C[(1)]		快速I^2C[(1)(2)]		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCLL)}$	SCL时钟低时间	4.7		1.3		μs
$t_{w(SCLH)}$	SCL时钟高时间	4.0		0.6		
$t_{su(SDA)}$	SDA建立时间	250		100		ns
$t_{h(SDA)}$	SDA数据保持时间	0[(3)]		0[(4)]	900[(3)]	
$t_{r(SDA)}$ $t_{r(SCL)}$	SDA和SCL上升时间		1000	20 + 0.1C_b	300	
$t_{f(SDA)}$ $t_{f(SCL)}$	SDA和SCL下降时间		300		300	
$t_{h(STA)}$	开始条件保持时间	4.0		0.6		μs
$t_{su(STA)}$	重复的开始条件建立时间	4.7		0.6		
$t_{su(STO)}$	停止条件建立时间	4.0		0.6		μs
$t_{w(STO:STA)}$	停止条件至开始条件的时间(总线空闲)	4.7		1.3		μs
C_b	每条总线的容性负载		400		400	pF

1. 由设计保证，不在生产中测试。
2. 为达到标准模式I^2C的最大频率，f_{PCLK1}必须大于2MHz。为达到快速模式I^2C的最大频率，f_{PCLK1}必须大于4MHz。
3. 如果不要求拉长SCL信号的低电平时间，则只需满足开始条件的最大保持时间。
4. 为了跨越SCL下降沿未定义的区域，在MCU内部必须保证SDA信号上至少300ns的保持时间。

图40　I^2C总线交流波形和测量电路[1]



1. 测量点设置于CMOS电平：$0.3V_{DD}$和$0.7V_{DD}$。

表51　SCL频率(f_{PCLK1} = 36MHz，V_{DD} = 3.3V)[1][2]

$f_{SCL(kHz)}$	I2C_CCR数值
	R_P = 4.7kΩ
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

1. R_P = 外部上拉电阻，f_{SCL} = I^2C速度。
2. 对于200kHz左右的速度，速度的误差是±5%。对于其它速度范围，速度的误差是±2%。这些变化取决于设计中外部元器件的精度。

SPI特性

除非特别说明，表52列出的参数是使用环境温度，f_{PCLKx}频率和V_{DD}供电电压符合表10的条件测量得到。

有关输入输出复用功能引脚(NSS、SCK、MOSI、MISO)的特性详情，参见第5.3.13节。

表52　SPI特性[1]

符号	参数	条件	最小值	最大值	单位
f_{SCK} $1/t_{c(SCK)}$	SPI时钟频率	主模式		18	MHz
		从模式		18	
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI时钟上升和下降时间	负载电容：C = 30pF		8	ns
$t_{su(NSS)}$[2]	NSS建立时间	从模式	$4t_{PCLK}$		ns
$t_{h(NSS)}$[2]	NSS保持时间	从模式	60		ns
$t_{w(SCKH)}$[2] $t_{w(SCKL)}$[2]	SCK高和低的时间	主模式，f_{PCLK} = 36MHz，预分频系数=4	50	60	ns

$t_{su(MI)}$(2) $t_{su(SI)}$(2)	数据输入建立时间	主模式 – SPI1	3		ns
		主模式 – SPI2	5		
		从模式	4		
$t_{h(MI)}$(2)	数据输入保持时间	主模式 – SPI1	4		ns
		主模式 – SPI2	6		
$t_{h(SI)}$(2)		从模式	5		
$t_{a(SO)}$(2)(3)	数据输出访问时间	从模式，f_{PCLK} = 36MHz，预分频系数=4	0	55	ns
		从模式，f_{PCLK} = 20MHz		$4t_{PCLK}$	
$t_{dis(SO)}$(2)(4)	数据输出禁止时间	从模式	10		ns
$t_{v(SO)}$(2)(1)	数据输出有效时间	从模式(使能边沿之后)		25	ns
$t_{v(MO)}$(2)(1)	数据输出有效时间	主模式(使能边沿之后)		6	ns
$t_{h(SO)}$(2)	数据输出保持时间	从模式(使能边沿之后)	25		ns
$t_{h(MO)}$(2)		主模式(使能边沿之后)	6		

1. 重映射的SPI1特性需要进一步确定。
2. 由综合评估得出，不在生产中测试。
3. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
4. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

图41 SPI时序图 – 从模式和CPHA=0

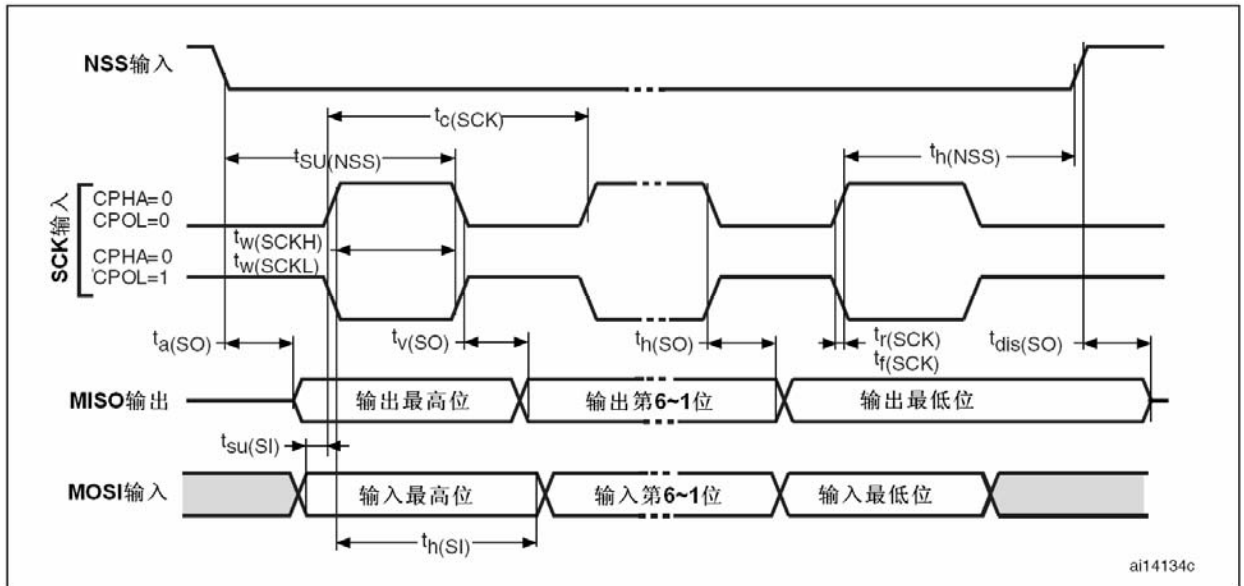
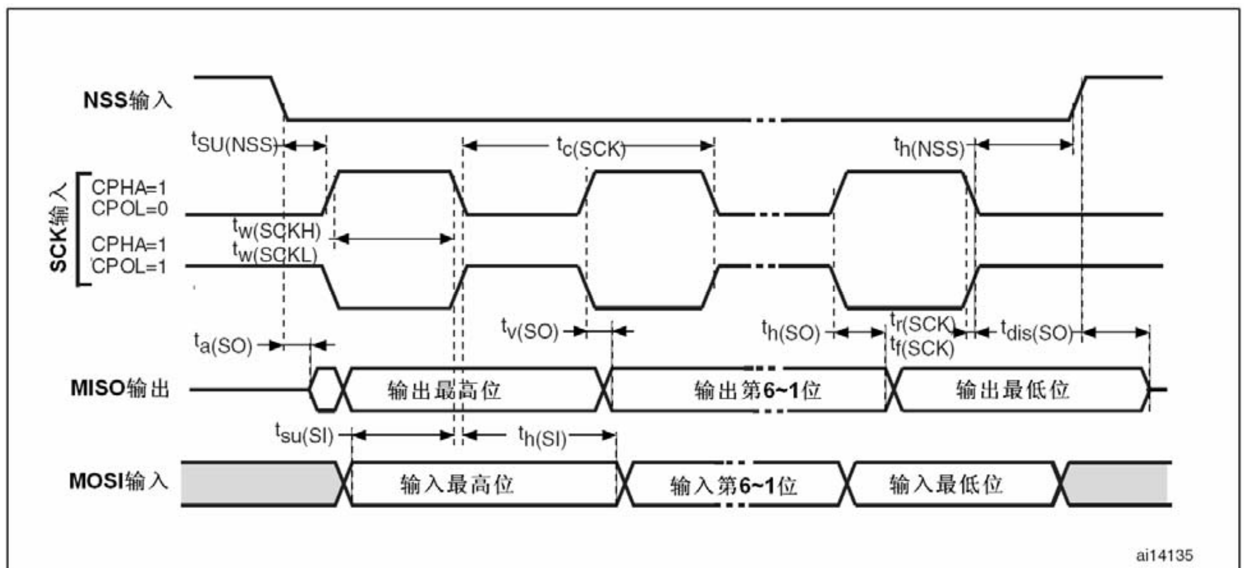
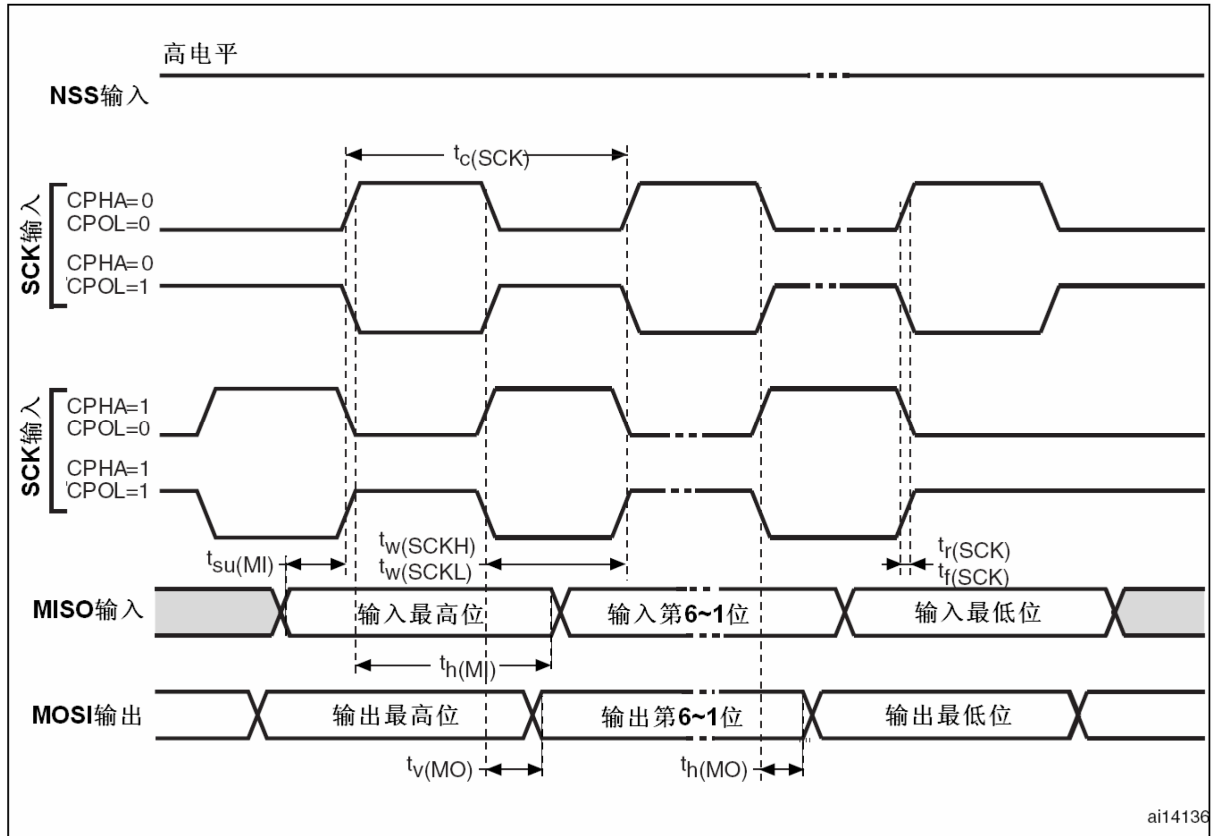


图42 SPI时序图 – 从模式和CPHA=1(1)



1．测量点设置于CMOS电平：$0.3V_{DD}$和$0.7V_{DD}$。

图43　　SPI时序图 – 主模式(1)



1．测量点设置于CMOS电平：$0.3V_{DD}$和$0.7V_{DD}$。

5.3.17 12位ADC特性

除非特别说明，表53的参数是使用符合表10的条件的环境温度、f_{PCLK2}频率和V_{DDA}供电电压测量得到。

注意：　建议在每次上电时执行一次校准。

表53　ADC特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.4		3.6	V
V_{REF+}	正参考电压		2.4		V_{DDA}	V
I_{VREF}	在V_{REF}输入脚上的电压			160(1)	220(1)	μA
f_{ADC}	ADC时钟频率		0.6		14	MHz
f_S(2)	采样速率		0.05		1	MHz
f_{TRIG}(2)	外部触发频率	f_{ADC} = 14MHz			823	kHz
					17	$1/f_{ADC}$
V_{AIN}	转换电压范围(3)		0(V_{SSA}或V_{REF-}连接到地)		V_{REF+}	V
R_{AIN}(2)	外部输入阻抗		参见公式1和表54			kΩ
R_{ADC}(2)	采样开关电阻				1	kΩ
C_{ADC}(2)	内部采样和保持电容				12	pF
t_{CAL}(2)	校准时间	f_{ADC} = 14MHz	5.9			μs
			83			$1/f_{ADC}$
t_{lat}(2)	注入触发转换时延	f_{ADC} = 14MHz			0.214	μs
					3(4)	$1/f_{ADC}$
t_{latr}(2)	常规触发转换时延	f_{ADC} = 14MHz			0.143	μs
					2(4)	$1/f_{ADC}$

t_S[2]	采样时间	f_{ADC} = 14MHz	0.107		17.1	μs
			1.5		239.5	$1/f_{ADC}$
t_{STAB}[2]	上电时间		0	0	1	μs
t_{CONV}[2]	总的转换时间(包括采样时间)	f_{ADC} = 14MHz	1		18	μs
			14~252(采样t_S + 逐步逼近12.5)			$1/f_{ADC}$

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 依据不同的封装，V_{REF+}可以在内部连接到V_{DDA}，V_{REF-}可以在内部连接到V_{SSA}。详见第3章。
4. 对于外部触发，必须在表53列出的时延中加上一个延迟$1/f_{PCLK2}$。

公式1：最大R_{AIN}公式

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式(公式1)用于决定最大的外部阻抗，使得误差可以小于1/4 LSB。其中N=12(表示12位分辨率)。

表54 f_{ADC}=14MHz[1]时的最大R_{AIN}

T_S(周期)	t_S(μs)	最大R_{AIN}(kΩ)
1.5	0.11	1.2
7.5	0.54	10
13.5	0.96	19
28.5	2.04	41
41.5	2.96	60
55.5	3.96	80
71.5	5.11	104
239.5	17.1	350

1. 由设计保证，不在生产中测试。

表55 ADC精度 – 局限的测试条件[1][2]

符号	参数	测试条件	典型值	最大值[3]	单位
ET	综合误差	f_{PCLK2} = 28 MHz， f_{ADC} = 14 MHz，R_{AIN} < 10 kΩ， V_{DDA} = 3~3.6V，T_A = 25 °C 测量是在ADC校准之后进行的 V_{REF+} = V_{DDA}	±1.3	±2	LSB
EO	偏移误差		±1	±1.5	
EG	增益误差		±0.5	±1.5	
ED	微分线性误差		±0.7	±1	
EL	积分线性误差		±0.8	±1.5	

1. ADC的直流精度数值是在经过内部校准后测量的。
2. ADC精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间)增加一个肖特基二极管。
   如何正向的注入电流，只要处于第5.3.13节中给出的$I_{INJ(PIN)}$和$\Sigma I_{INJ(PIN)}$范围之内，就不会影响ADC精度。
3. 由综合评估保证，不在生产中测试。

表56 ADC精度[1][2][3]

符号	参数	测试条件	典型值	最大值[3]	单位
ET	综合误差	f_{PCLK2} = 28 MHz， f_{ADC} = 14 MHz，R_{AIN} < 10 kΩ， V_{DDA} = 2.4~3.6V 测量是在ADC校准之后进行的	±2	±5	LSB
EO	偏移误差		±1.5	±2.5	
EG	增益误差		±1.5	±3	
ED	微分线性误差		±1	±2	
EL	积分线性误差		±1.5	±3	

1. ADC的直流精度数值是在经过内部校准后测量的。
2. 最佳的性能可以在受限的V_{DD}、频率、V_{REF}和温度范围下实现。
3. ADC精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间)增加一个肖特基二极管。
   如何正向的注入电流，只要处于第5.3.13节中给出的$I_{INJ(PIN)}$和$\Sigma I_{INJ(PIN)}$范围之内，就不会影响ADC精度。

4. 由综合评估保证，不在生产中测试。

图44 ADC精度特性

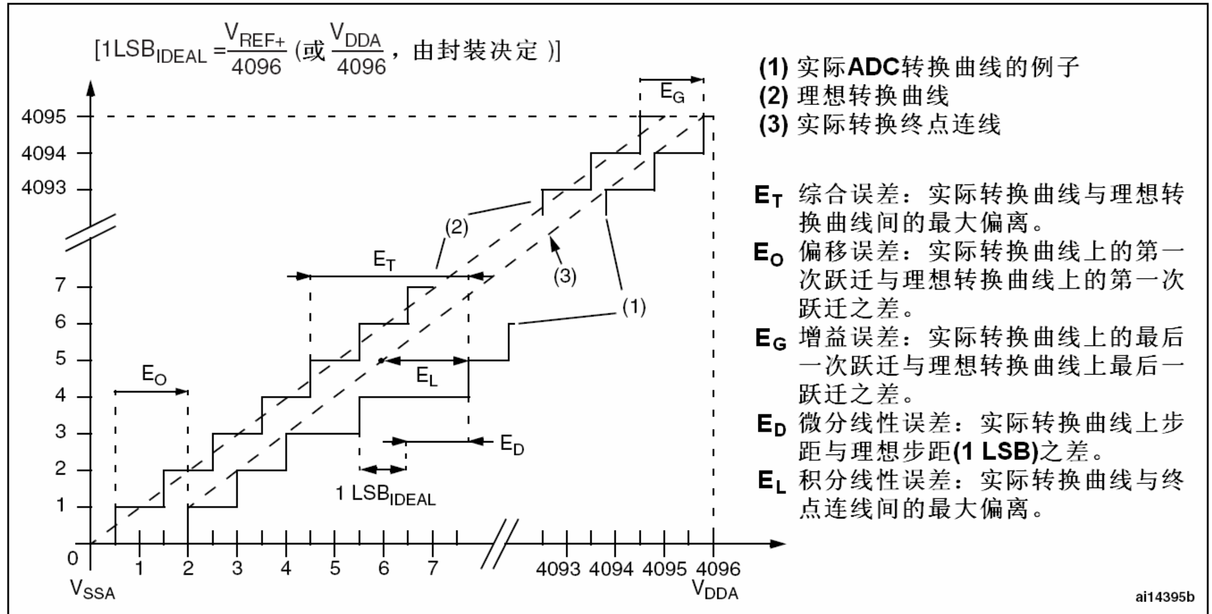
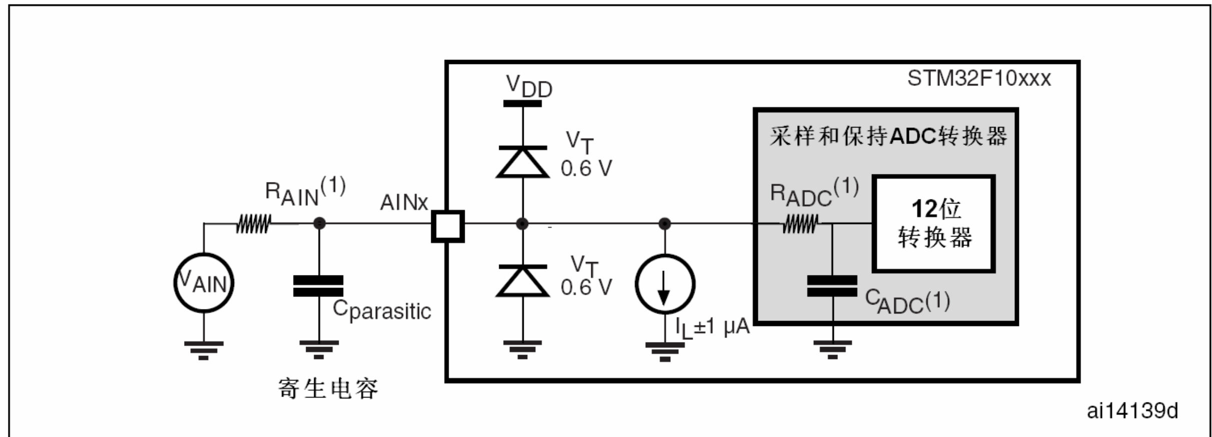


图45 使用ADC典型的连接图

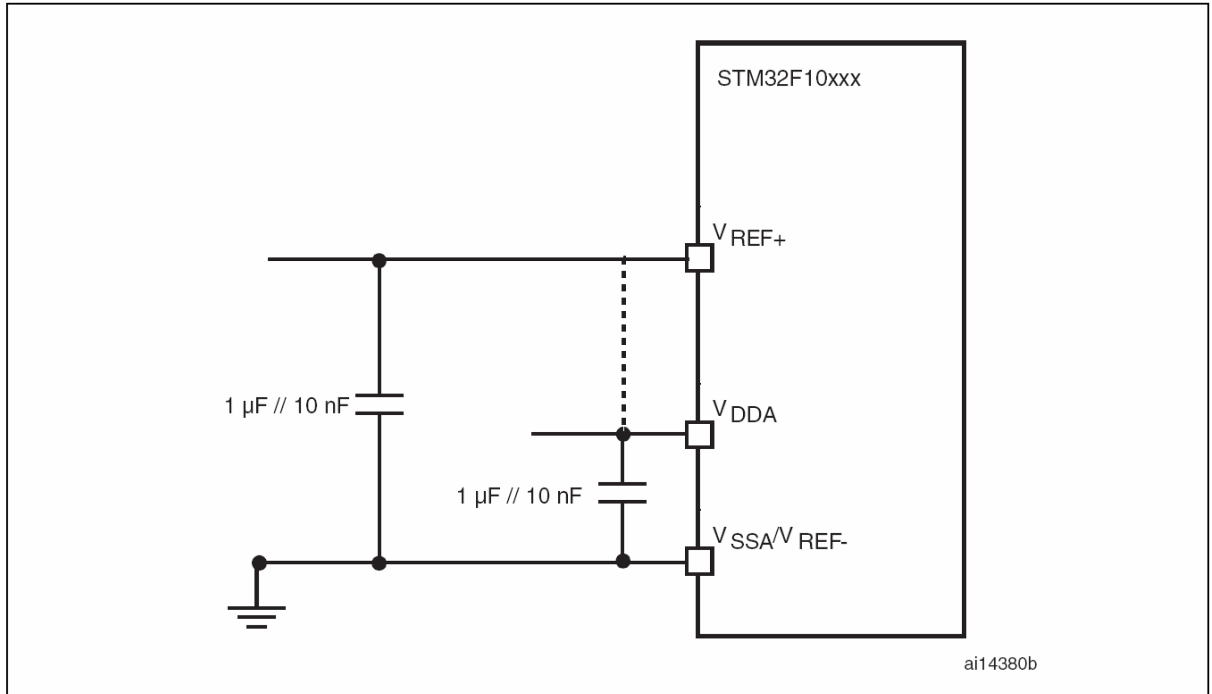


1. 有关R_{AIN}、R_{ADC}和C_{ADC}的数值，参见表53。
2. $C_{parasitic}$表示PCB(与焊接和PCB布局质量相关)与焊盘上的寄生电容(大约7pF)。较大的$C_{parasitic}$数值将降低转换的精度，解决的办法是减小f_{ADC}。

PCB设计建议

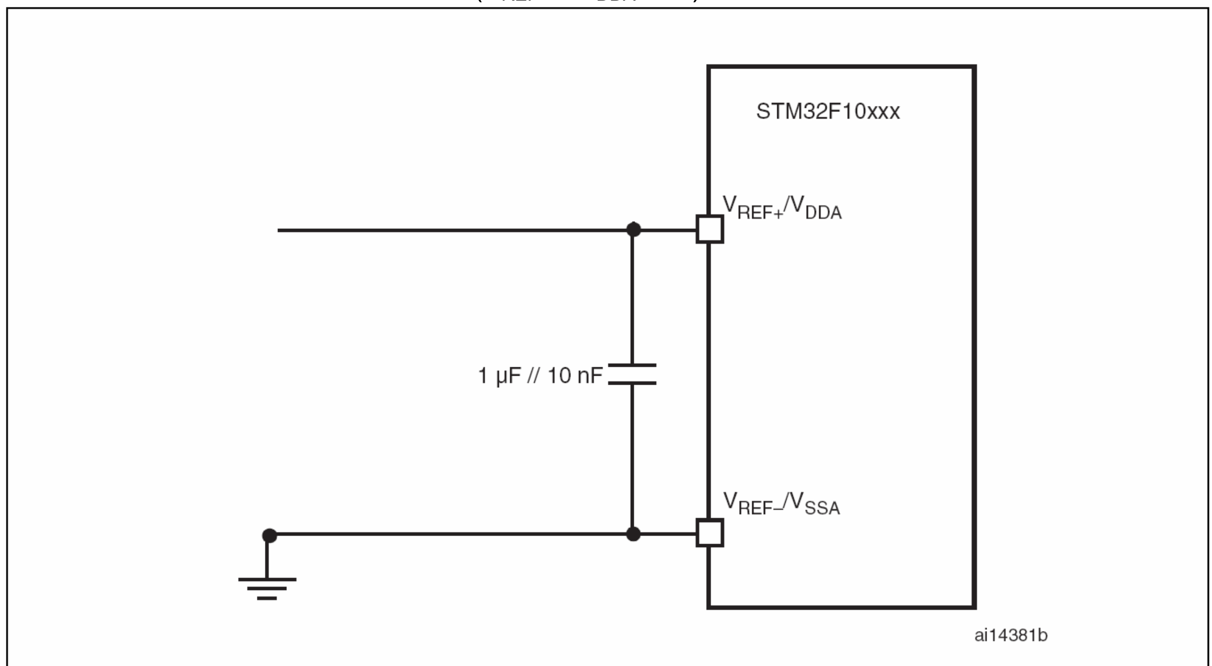
依据V_{REF+}是否与V_{DDA}相连，电源的去藕必须按照图46或图47连接。图中的10nF电容必须是瓷介电容(好的质量)，它们应该尽可能地靠近MCU芯片。

图46　　供电电源和参考电源去藕线路(V_{REF+}未与V_{DDA}相连)



1.　V_{REF+}和V_{REF-}输入只出现在100脚以上的产品。

图47　　供电电源和参考电源去藕线路(V_{REF+}与V_{DDA}相连)



1.　V_{REF+}和V_{REF-}输入只出现在100脚以上的产品。

5.3.18 DAC电气参数

表57 DAC特性

符号	参数	最小值	典型值	最大值	单位	注释
V_{DD33A}	模拟供电电压	2.4		3.6	V	
V_{DD18D}	数字供电电压	1.6	1.8	2	V	
V_{REF+}	参考电压	2.4		3.6	V	V_{REF+}必须始终低于V_{DD33A}
V_{SSA}	地线	0		0	V	
R_L	缓冲器打开时的负载电阻	5			kΩ	DAC_OUT和V_{SSA}之间的最小负载电阻
C_L	负载电容			50	pF	在DAC_OUT引脚上的最大电容
DAC_OUT 最小	缓冲器打开时低端的DAC_OUT电压	0.2			V	给出了最大的DAC输出跨度 当V_{REF+}=3.6V对应于12位输入数值0x0E0~0xF1C， 当V_{REF+}=2.4V对应于12位输入数值0x155~0xEAB。
DAC_OUT 最大	缓冲器打开时高端的DAC_OUT电压			V_{REF+}-0.2	V	
I_{DD}	在静止模式(待机模式)DAC直流消耗 (V_{DD18D}+V_{DD33A}+V_{REF+})		425	600	µA	无负载，输入中值0x800
			500	700		无负载，当V_{REF+}=3.6V时输入最大值
I_{DDQ}	在断电模式DAC直流消耗 (V_{DD18D}+V_{DD33A}+V_{REF+})		5	350	nA	无负载
	在断电模式DAC直流消耗 (V_{DD33A}+V_{REF+})		5	200		
DNL	非线性失真(2个连续代码间的偏差)		±0.5		LSB	DAC配置为10位(始终是B1=B0=0)
INL	非线性积累(在代码i时测量的数值与代码0和代码1023之间的连线间的偏差)		±1		LSB	DAC配置为10位(始终是B1=B0=0)
偏移	偏移误差(代码0x800时测量的数值与理想数值V_{REF+}/2之间的偏差)		±10		mV	DAC配置为10位(始终是B1=B0=0)
			±3		LSB	V_{REF+}=3.6V时，DAC配置为10位
增益误差	增益误差		±0.5		%	DAC配置为10位(始终是B1=B0=0)
放大器增益	开环时放大器的增益	80	85		dB	5kΩ的负载(最大负载)
$t_{SETTLING}$	设置时间(全范围：10位输入代码从最小值转变为最大值，DAC_OUT达到其终值的±1 LSB)		3	4	µs	C_{LOAD} ≤ 50pF R_{LOAD} ≥ 5kΩ
更新速率	当输入代码为较小变化时(从数值i变到i+1LSB)，得到正确DAC_OUT的最大频率			1	MS/s	C_{LOAD} ≤ 50pF R_{LOAD} ≥ 5kΩ
t_{WAKEUP}	从关闭状态唤醒的时间(PDV18从1变到0)		6.5	10	µs	C_{LOAD} ≤ 50pF，R_{LOAD} ≥ 5kΩ 输入代码介于最小和最大可能数值之间
PSRR+	供电抑制比(相对于V_{DD33A})(静态直流测量)		-67	-40	dB	没有R_{LOAD}，C_{LOAD} ≤ 50pF

1. 由综合评估保证，不在生产中测试。

5.3.19 温度传感器特性

表58 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
T_L[1]	V_{SENSE}相对于温度的线性度		±1	±2	ºC
Avg_Slope[1]	平均斜率	4.0	4.3	4.6	mV/ºC
V_{25}[1]	在25ºC时的电压	1.34	1.43	1.52	V
t_{START}[2]	建立时间	4		10	µs
T_{S_temp}[2][3]	当读取温度时，ADC采样时间			17.1	µs

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

6 封装特性

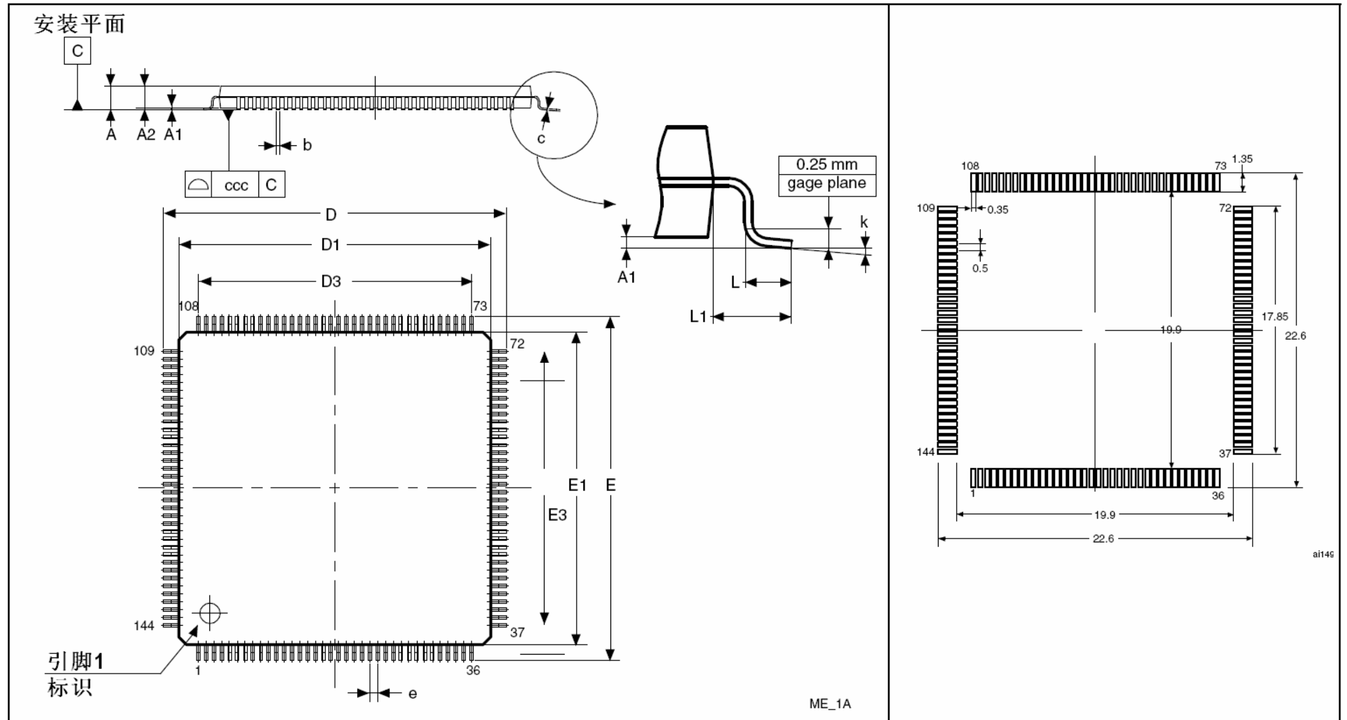
6.1 封装机械数据

为了符合环境的需要，ST根据不同的环境等级提供了这些芯片不同等级的ECOPACK®封装。ECOPACK®规范、等级定义和产品状态可以在www.st.com网站上获得。

ECOPACK®是ST的商标。

图48 LQFP144，20x20mm，144脚低剖面方形扁平封装图(1)

图49 建议的PCB元件尺寸(1)(2)



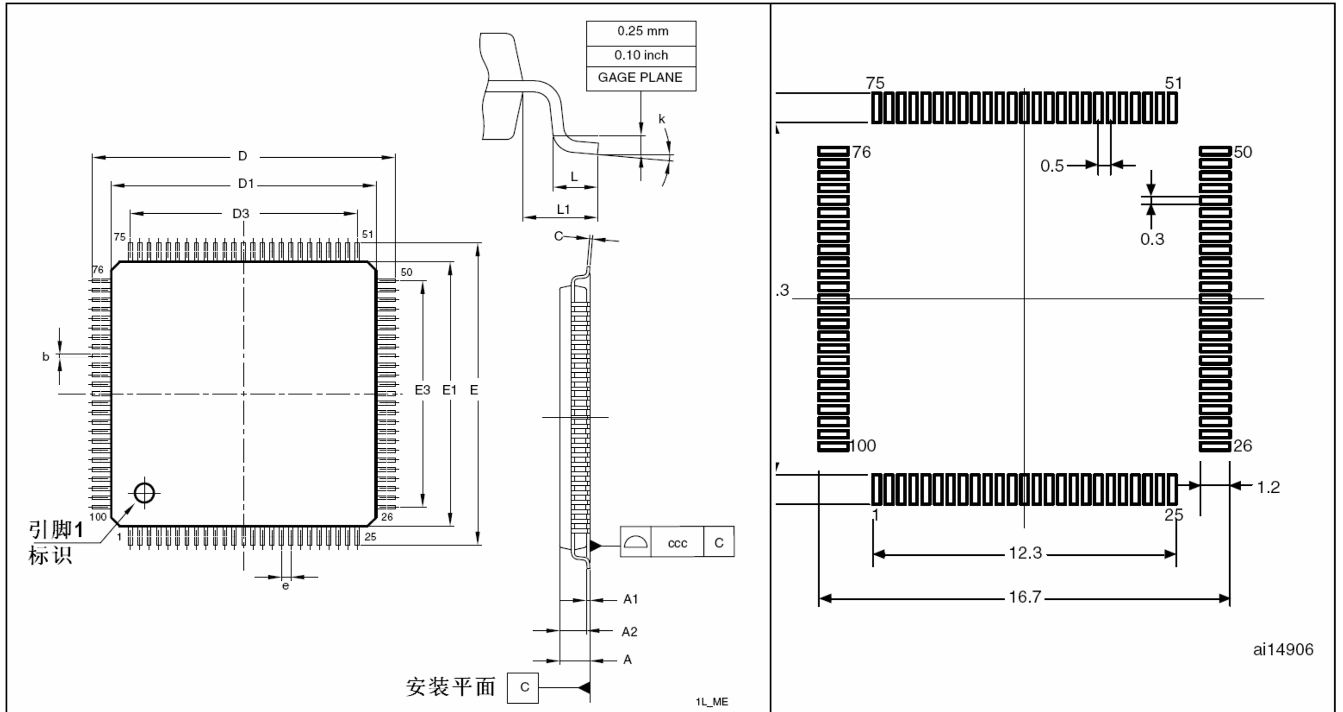
1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表59 LQFP144，20x20mm，144脚低剖面方形扁平封装数据

标号	毫米			英寸(1)		
	最小值	典型值	最大值	最小值	典型值	最大值
A			1.60			0.063
A1		0.05	0.15		0.002	0.0059
A2	1.40	1.35	1.45	0.0551	0.0531	0.0571
b	0.22	0.17	0.27	0.0087	0.0067	0.0106
c		0.09	0.20		0.0035	0.0079
D	22.00	21.80	22.20	0.8661	0.8583	0.874
D1	20.00	19.80	20.20	0.7874	0.7795	0.7953
D3	17.50			0.689		
E	22.00	21.80	22.20	0.8661	0.8583	0.874
E1	20.00	19.80	20.20	0.7874	0.7795	0.7953
E3	17.50			0.689		
e	0.50			0.0197		
L	0.60	0.45	0.75	0.0236	0.0177	0.0295
L1	1.00			0.0394		
k	3.5°	0°	7°	3.5°	0°	7°
ccc	0.08			0.0031		

1. 英寸的数值是根据毫米的数据按照4位小数精度转换取整得到的。

图50　LQFP100，100脚低剖面方形扁平封装图(1)
图51　建议的PCB元件尺寸(1)(2)



1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

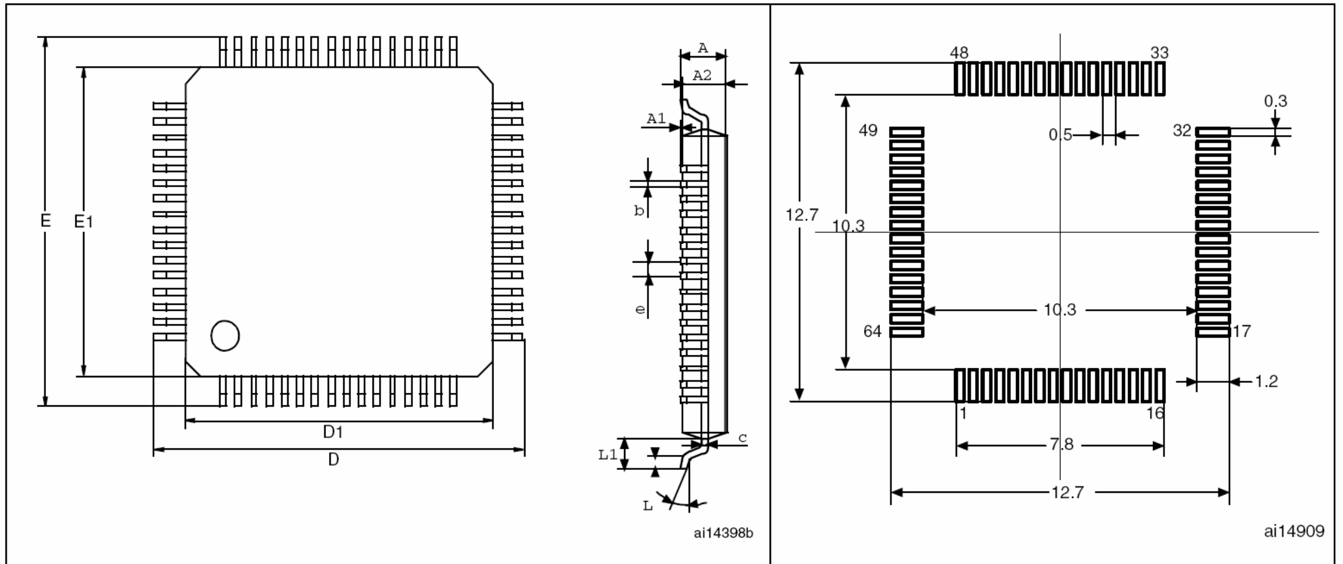
表60　LQFP100，100脚低剖面方形扁平封装数据

标号	毫米			英寸(1)		
	典型值	最小值	最大值	典型值	最小值	最大值
A			1.60			0.063
A1		0.05	0.15		0.002	0.0059
A2	1.40	1.35	1.45	0.0551	0.0531	0.0571
b	0.22	0.17	0.27	0.0087	0.0067	0.0106
c		0.09	0.20		0.0035	0.0079
D	16.00	15.80	16.20	0.6299	0.622	0.6378
D1	14.00	13.80	14.20	0.5512	0.5433	0.5591
D3	12.00			0.4724		
E	16.00	15.80	16.20	0.6299	0.622	0.6378
E1	14.00	13.80	14.20	0.5512	0.5433	0.5591
E3	12.00			0.4724		
e	0.50			0.0197		
L	0.60	0.45	0.75	0.0236	0.0177	0.0295
L1	1.00			0.0394		
k	3.5°	0°	7°	3.5°	0°	7°
ccc	0.08			0.0031		

1. 英寸的数值是根据毫米的数据按照4位小数精度转换取整得到的。

图52　LQFP64，64脚低剖面方形扁平封装图(1)

图53　建议的PCB元件尺寸(1)(2)



1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表61　LQFP64，64脚低剖面方形扁平封装数据

标号	毫米			英寸(1)		
	最小值	典型值	最大值	最小值	典型值	最大值
A			1.60			0.0630
A1	0.05		0.15	0.0020		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
c	0.09		0.20	0.0035		0.0079
D		12.00			0.4724	
D1		10.00			0.3937	
E		12.00			0.4724	
E1		10.00			0.3937	
e		0.50			0.0197	
θ	0°	3.5°	7°	0°	3.5°	7°
L	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
N	引脚数目 = 64					

1. 英寸的数值是根据毫米的数据按照4位小数精度转换取整得到的。

6.2 热特性

芯片的最大结温($T_J$max)一定不能超过表10给出的数值范围。

芯片的最大结温($T_J$max)用摄氏温度表示，可用下面的公式计算：

$$T_J max = T_A max + (P_D max \times \Theta_{JA})$$

其中：

- $T_A$max是最大的环境温度，用°C表示，
- Θ_{JA} 是封装中结到环境的热阻抗，用°C/W标示，
- $P_D$max是P_{INT}max和$P_{I/O}$max的和($P_D$max = P_{INT}max + $P_{I/O}$max)，
- P_{INT}max是I_{DD}和V_{DD}的乘积，用瓦特(Watt)表示，是芯片的最大内部功耗。

$P_{I/O}$max是所有输出引脚的最大功率消耗：

$$P_{I/O} max = \Sigma(VOL \times IOL) + \Sigma((VDD - VOH) \times IOH),$$

考虑在应用中I/O上低电平和高电平的实际的VOL/IOL和VOH/IOH。

表62 封装的热特性

符号	参数	数值	单位
Θ_{JA}	结到环境的热阻抗——LQFP144 – 20 x 20mm/0.5mm间距	30	°C/W
	结到环境的热阻抗——LQFP100 – 14 x 14mm/0.5mm间距	46	
	结到环境的热阻抗——LQFP64 – 10 x 10mm/0.5mm间距	45	

6.2.1 参考文档

JESD51-2 集成电路热测量环境条件 – 自然对流(空气静止)。

参见www.jedec.org。

6.2.2 选择产品的温度范围

当订购微控制器时，温度范围在订购代码中指定(见表63)。

每个温度范围编号的产品，对应于一个给定的、在最大消耗下可以保障的环境温度，对应于一个给定的最大结温度。STM32F101xxx基本型只有尾缀为6(-40~85°C)的产品。

下面的例子说明如何根据特定的应用计算需要的温度范围，以确定是否STM32F101xx的结温度范围满足应用的需要。

例：高性能应用

假设下面的应用条件：

最大环境温度$T_A max = 82℃$(根据JESD51-2标准测量)，

$I_{DD} max = 50mA$，$V_{DD} = 3.5 V$，同时最多有20个I/O端口处于输出低电平$I_{OL}=8mA$，$V_{OL}=0.4V$，并且同时最多有8个I/O端口处于输出低电平$I_{OL}=20mA$，$V_{OL}=1.3V$

$P_{INT} max = 50mA \times 3.5V = 175mW$

$P_{IO} max = 20 \times 8mA \times 0.4V + 8 \times 20mA \times 1.3 = 272mW$

这样得到：$P_{INT} max = 175mW$和 $P_{IO} max = 272mW$

即：$P_D max = 175 + 272 = 447mW$

因此：$P_D max = 447mW$

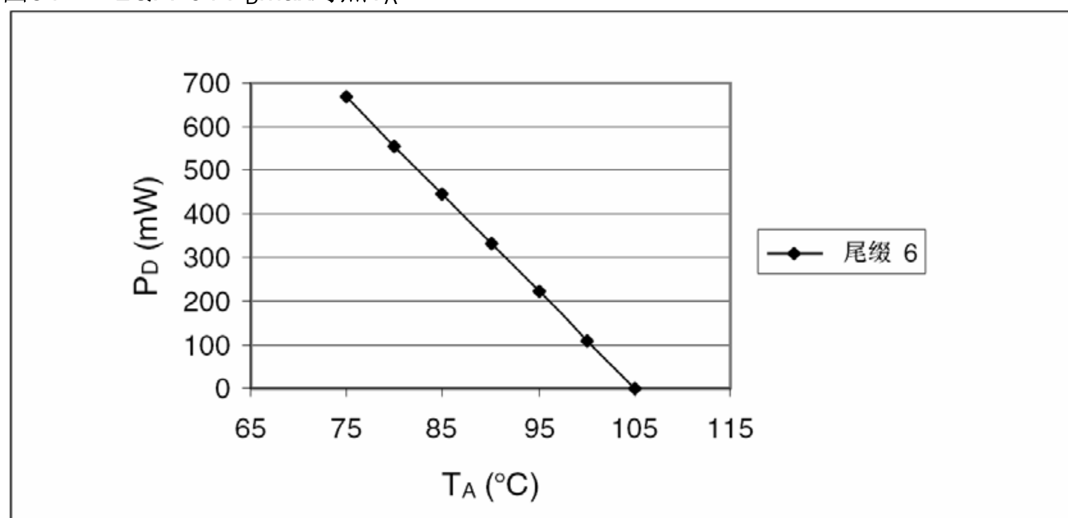
根据表62中得到的数据如下计算$T_J max$：

对于 LQFP64，45°C/W

$T_J max = 82°C + (45°C/W \times 447mW) = 82°C + 20.1°C = 102.1°C$

结果在STM32F101xx的结温度范围($-40 < T_J < 105℃$)内。

图54 LQFP64 $P_D max$对照T_A



7 订货代码

表63 订货代码信息图示

例如： STM32 F 101 R C T 6 xxx

产品系列

STM32 = 基于ARM的32位微控制器

产品类型

F = 通用类型

产品子系列

101 = 基本型

引脚数目

R = 64脚

V = 100脚

Z = 144脚

闪存存储器容量

C = 256K字节的闪存存储器

D = 384K字节的闪存存储器

E = 512K字节的闪存存储器

封装

T = LQFP

温度范围

6 = 工业级温度范围，-40°C~85°C

选项

xxx = 已编程的器件代号

TR = 卷带式包装

关于更多的选项列表(速度、封装等)和其他相关信息，请与邻近的ST销售处联络。

8 版本历史

请参考英文版数据手册